

# Управление сложностью

110

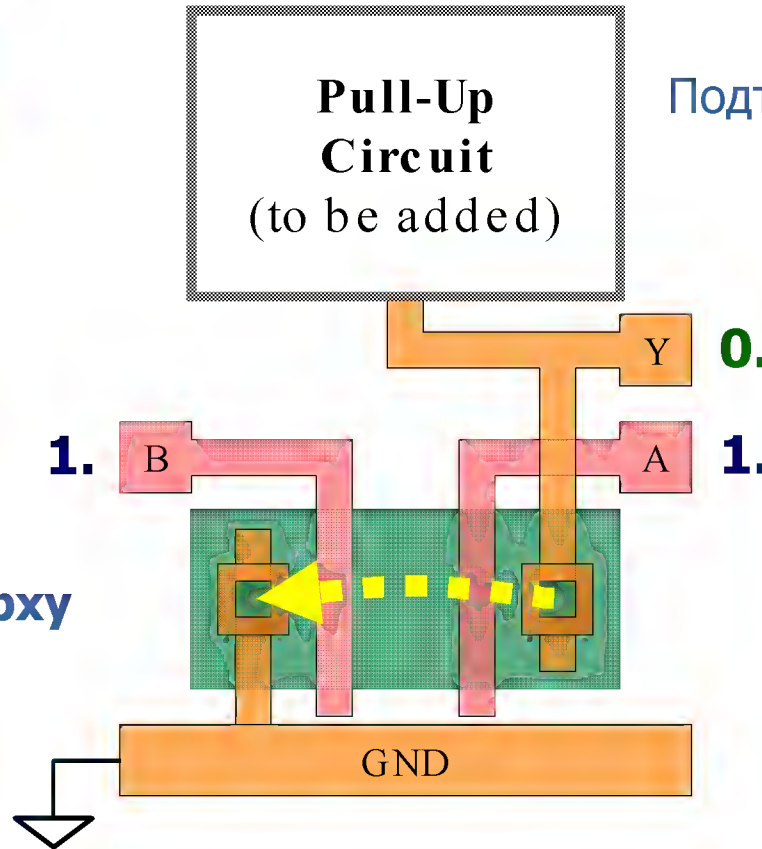


На топологическом уровне размеры действительно имеют **нанометровый** масштаб.

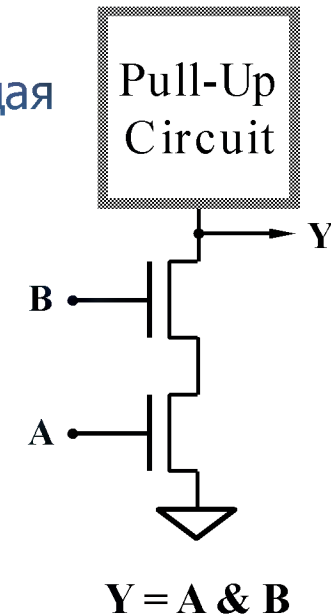
# Работа элемента И-НЕ (NAND) 118

NAND Table		
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Вид сверху



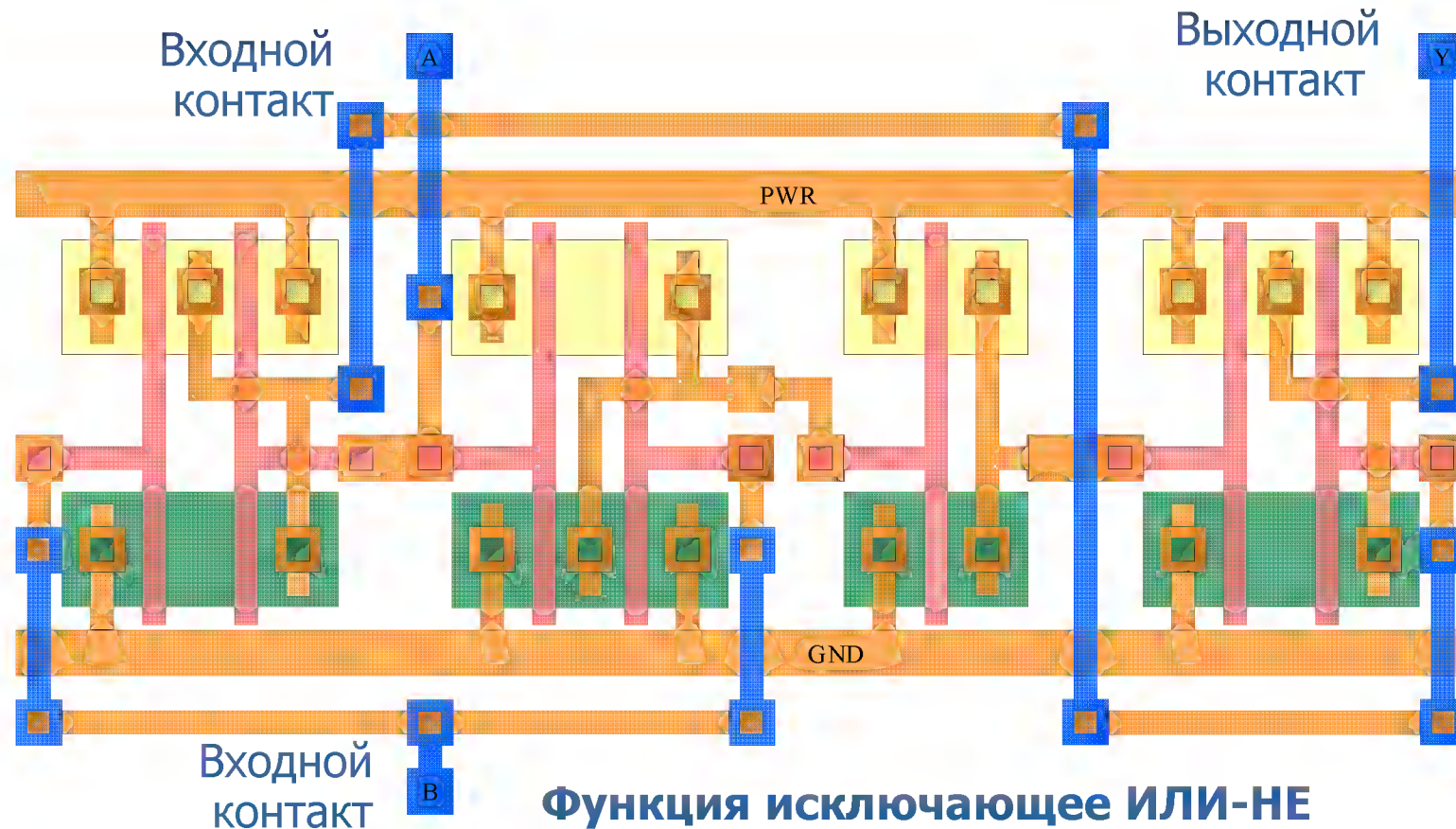
Подтягивающая цепь



Схема

- Два последовательно соединенных транзистора реализуют операцию И-НЕ.
- Когда A и B равны 1, выход Y связан с 0.
- В **других** случаях Y подтягивается к 1 (не показано).

# Трассировка соединений стандартных ячеек 122



- Одинаковые по высоте, примыкающие стандартные ячейки формируют ряды.
- Трассировщик проектирует соединения контакт-контакт в металлическом слое.
- Показанная логическая функция сравнивает два бита на равенство.

# Шесть основных этапов

126

## 1. Спецификация:

Описать замысел микросхемы на бумаге.



## 1. Спецификация

## 2. Проектирование

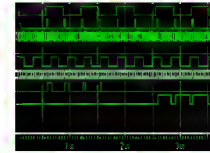
## 2. Проектирование:

Реализация замысла проекта путем создания его описания на уровне регистровой передачи (RTL).

```
SRIM4.v
1 /* RTL Verilog Code
2 * Four-bit serialiser
3 * with loader control.
4 */
5 module SRIM4
6 output wire TX; //Serial.
7 input wire [3:0] DMC_DATA;
8 input wire LOAD_SET; HXZ, CLK;
9 );
10 reg [3:0] FF; //Four flops.
11
12 always @ (posedge CLK)
13 if (LOAD_SET)
14 FF <= DMC_DATA; //Load data.
15 else
16 FF <= {1'b1,FF[3:1]}; //Shift.
17
18 assign TX = FF[0] HXZ; //OR.
19
20 endmodule
```

## 3. Верификация:

Подтвердить, что RTL-код соответствует первоначальным намерениям.

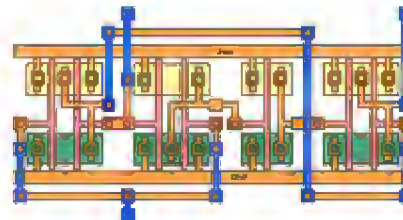


## 3. Верификация

## 4. Имплементация

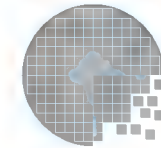
## 4. Имплементация:

Синтезировать RTL-код в стандартные 32-нм ячейки. Размещение и трассировка.



## 5. Производство:

Изготовление набора масок. Формирование каждого слоя на поверхности кремния.

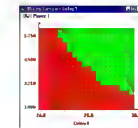


## 5. Производство

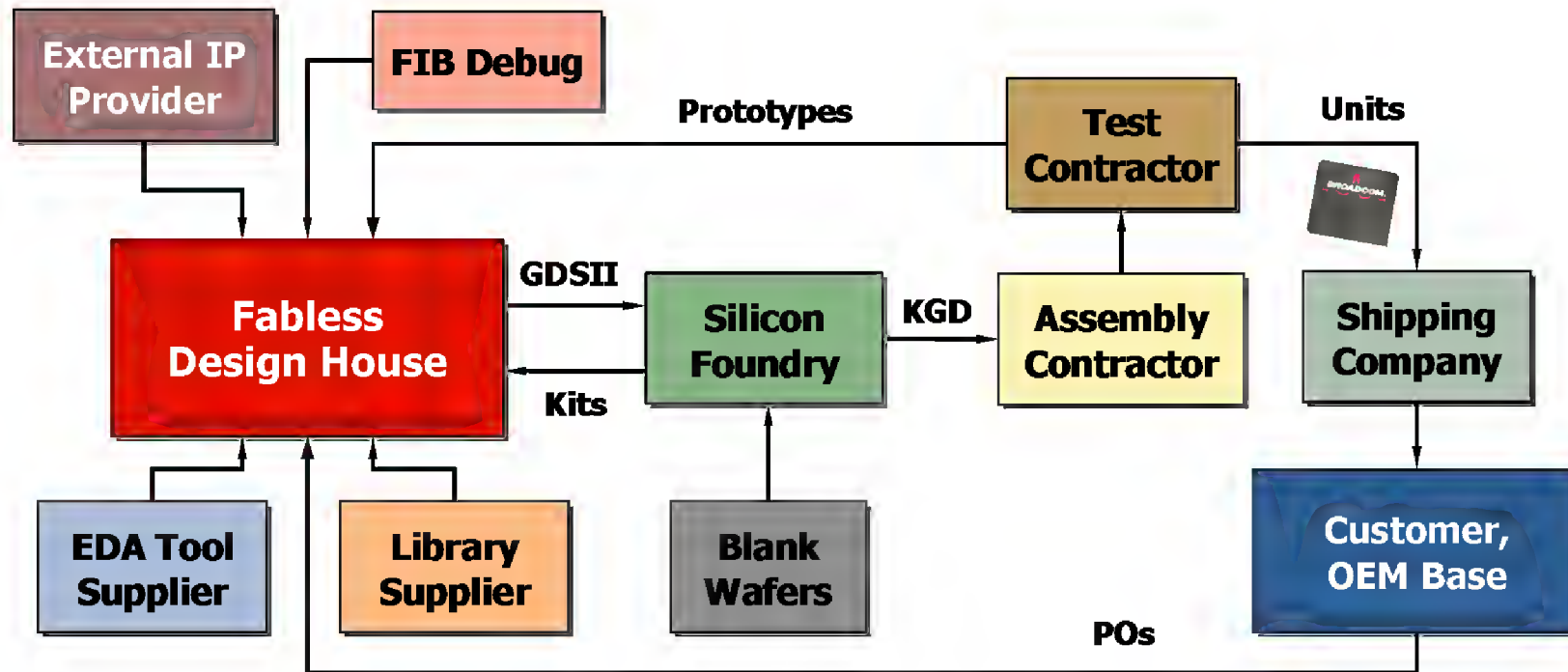
## 6. Отбраковка

## 6. Отбраковка:

Проверка микросхем перед использованием.



- Разработка новой ASIC включает **СОТНИ** шагов.
- Мы разделим разработку на шесть отдельных этапов.



- Фирмы разработчики микросхем без собственных производственных мощностей сфокусированы на инновационных проектах.
- Их специалисты могут тесно сотрудничать с предприятиями по производству интегральных схем.
- Надежность планирования проектов обеспечивается взаимными **обязательствами** партнеров.

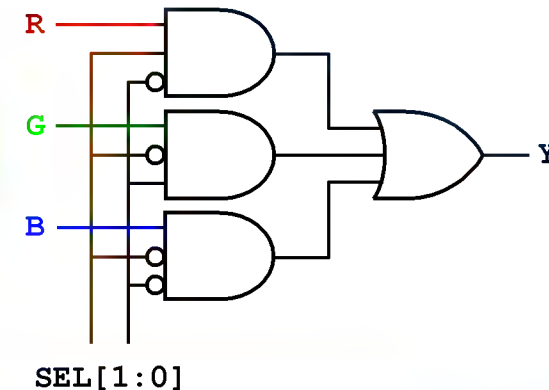
# Проектирование на основе HDL 2-11

```
MUX3.sv
1  /* SystemVerilog Code:
2  * Multiplexes either
3  * R, G, or B to Y.
4  */
5  module MUX3(
6  output bit Y,
7  input bit R,G,B,
8  input bit [1:0] SEL
9  );
10 always_comb
11     unique case (SEL)
12         2: Y = R;
13         1: Y = G;
14         0: Y = B;
15     endcase
16
17 endmodule: MUX3
```

Средства EDA:

Логический синтез

Схема уровня логических элементов



## Подмножество RTL:

Если код будет слишком абстрактным, его будет невозможно синтезировать.

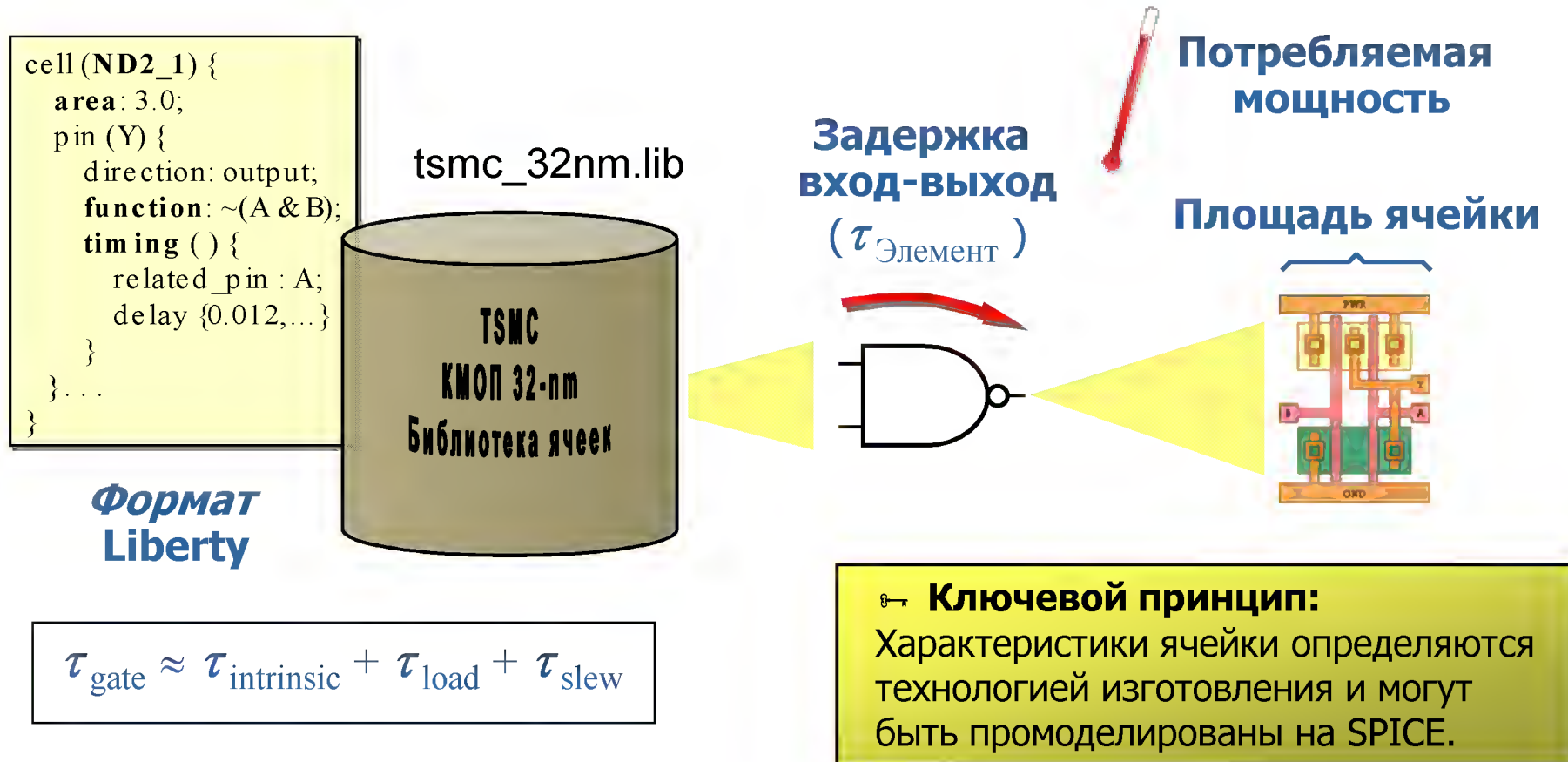
TSMC  
КМОП 32-нм  
Библиотека ячеек

## ✂ EDA Средства:

Средства логического синтеза—  
например, *Design Compiler*.

- Средства синтеза могут **читать** HDL код из файла.
- Затем они компилируют HDL-конструкции в соответствующую логику.
- Оптимизация для повышения быстродействия - затем уменьшение общей площади.

# Библиотека стандартных ячеек 2-12



- Средства синтеза используют **библиотеку ячеек** конкретного изготовителя.
- Большинство ячеек характеризуются **силой драйвера** от  $\times 1$  до  $\times 16$ .
- **Характеристики** ячеек указываются в кратной формате **Liberty**.

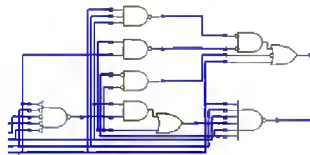
# Форматы IP-блоков

# 2-33

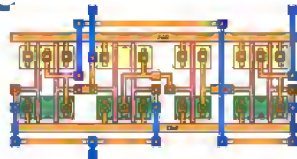
## Программные IP-блоки (RTL код)

```
SERIAL4.v
1 /* RTL Verilog Code:
2  * Four-bit serialiser,
3  * with jabber control.
4  */
5 module SERIAL4(
6  output wire TX, //Serial.
7  input wire [3:0] MAC_DATA,
8  input wire LOAD_SHIFT, MAX, CLK
9  );
10 reg [3:0] FF; //Four flops.
11
12 always @(posedge CLK)
13   if (LOAD_SHIFT) //Load data.
14     FF <- MAC_DATA;
15   else
16     FF << (1'b1,FF[3:1]); //Shift.
17
18   assign TX = FF[0] ^ MAX; //OR.
19
20 endmodule
```

## Аппаратные IP-блоки (Список соединений)



## Топологические IP-блоки (Топологический чертеж)



### Аспекты:

- Могут модифицироваться.
- Синтезируются вместе с прочим RTL-кодом.

### Аспекты:

- Можно подстраивать.
- Могут синтезироваться по требованиям пользователя.

### Аспекты:

- Оптимизированы под технологию.
- Пользователь не может изменить.
- Физически спроектированы поставщиком.

- Обычно ARM и подобные IP-блоки поставляются в **программном** формате.
- Аналоговые или высокоскоростные цифровые интерфейсы всегда **топологические**.

⚡ **Экономика IP:**  
Топологические IP-блоки могут быть в 10x дешевле из-за **сложности изменения** их пользователем. Программные IP-блоки можно модифицировать — но поставщики защищают свои продукты.



# Встроенные утверждения

2-20

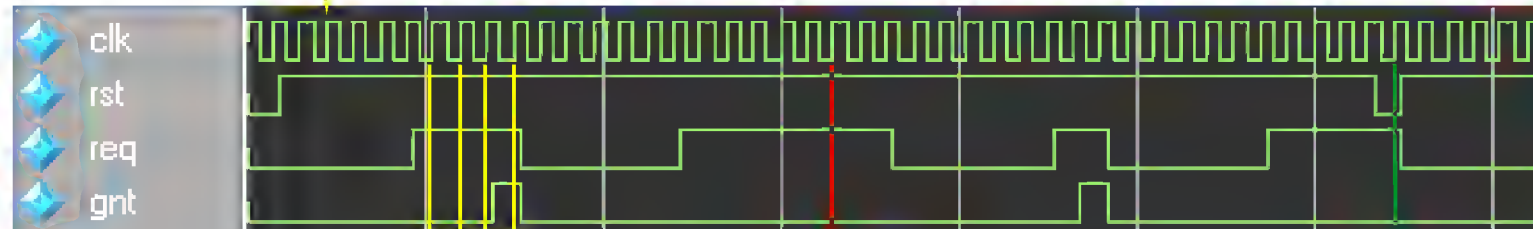
//Декларация свойства:

```
property req5gnt;  
  @(posedge clk) disable iff (! rst)  
  $rose(req) |-> ##[1:5] gnt;
```

//Параллельное утверждение:

```
assert property (req5gnt);
```

Explicit clk↑



Pass:

gnt следует за  $\Delta req$   
на 3 clk↑ фронте.

Сбой:

gnt не изменился  
после  $\Delta req$   
за 5 clk↑ фронтов.

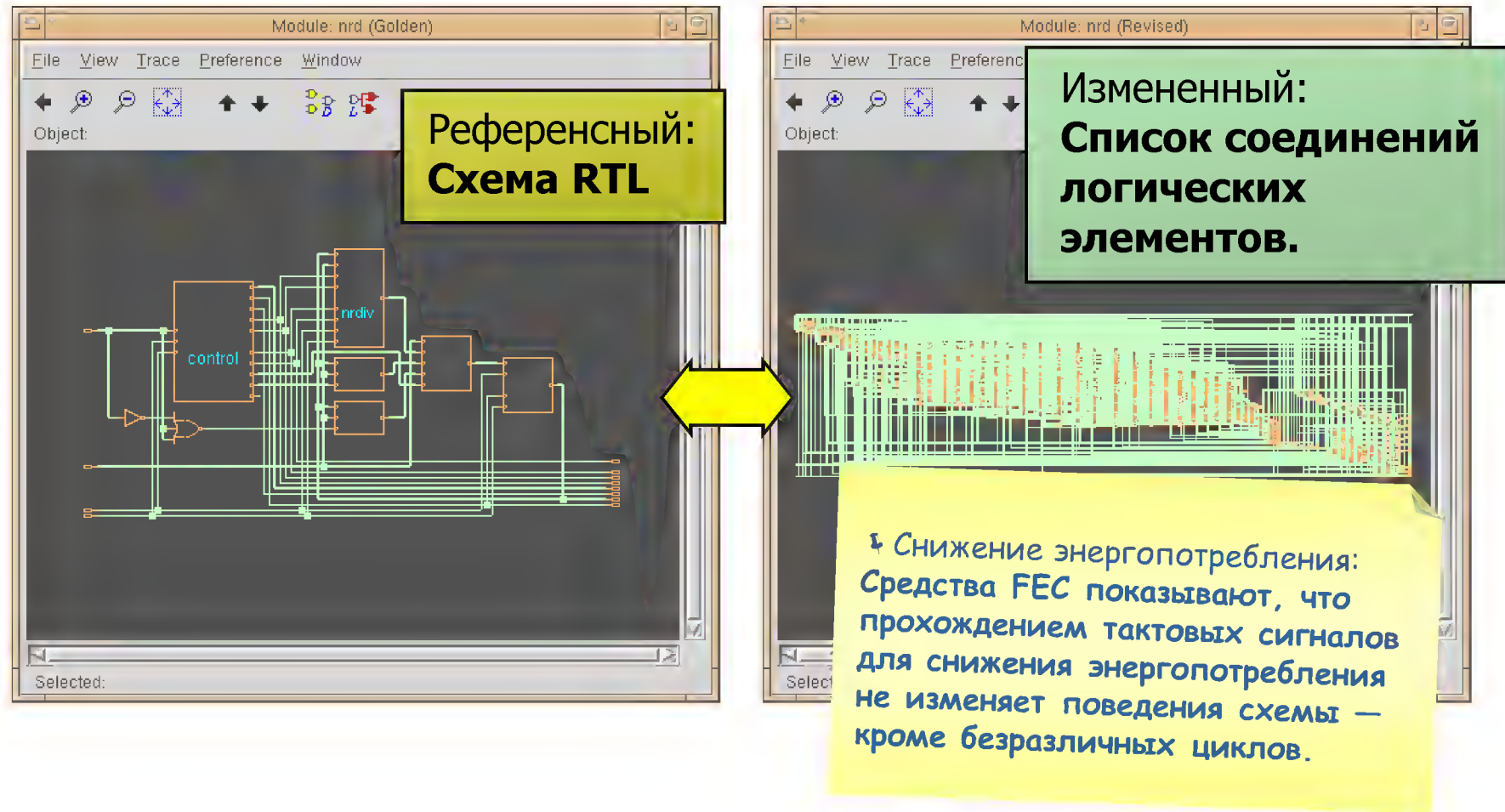
Прервать:  
rst активен



- Оператор утверждения проверяет **каждый фронт** тактового сигнала, ведется протокол сбоев.
- Свойством, о котором делается утверждение, может быть вся **последовательность событий**.

# Успешная проверка

2-33



- Схемы уровней RTL и логических элементов выглядят по-разному.
- Но средства формальной проверки эквивалентности (FEC) доказывают их **функциональную эквивалентность**.

# Концепции эмуляции

2-35

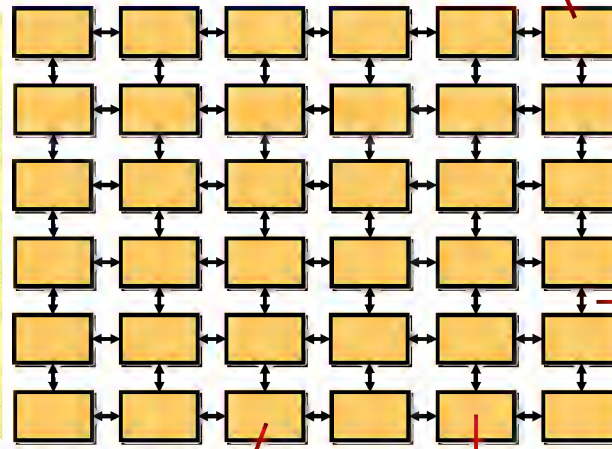
✂ Средства EDA:  
**Аппаратный эмулятор**

## Конструкция RTL

```
// Небольшой счетчик  
always_ff @(posedge CLK)  
if (SEL!=2) ++SEL;  
else SEL = '0;
```

⚡ Не на реальной скорости:  
Выполняется на ~10 МГц.  
Медленнее, чем на  
номинальной скорости, но  
**быстрее**, чем в любой  
программе моделирования.

Платформа  
эмуляции



**Сигнализация о событиях**

**Утверждение**

**Уровень логических элементов**

```
//Экземпляр буфера:  
TRIBUF T0 (OUT, IN, ~OE);
```

```
//Обнаружение недопустимого элемента:  
assert property (SEL!=3);
```

- Код HDL компилируется и отображается на **FPGA-подобные** кластеры.
- Большой массив низкоскоростных **аппаратных моделей** SOC.

# Методы верификации

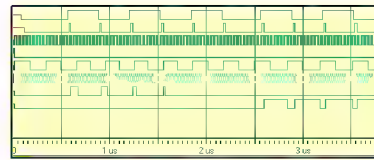
2-4

Общая стратегия  
верификации

```
SRIM4.v
1 /* RTL Verilog Code:
2 * Four-bit serialiser.
3 */
4
5
6 /* RTL Verilog Code:
7 * Four-bit serialiser.
8 */
9
10
11 /* RTL Verilog Code:
12 * Four-bit serialiser,
13 * with jabber control.
14 */
15
16
17 module SRIM4
18   output wire TX, //Serial
19   input wire [3:0] BNC_DATA,
20   input wire LOAD_SHIFT, RST, CLK
21 );
22   reg [3:0] FF; //Four flip-f.
23
24   always @(posedge CLK)
25   if (LOAD_SHIFT) //Load data.
26     FF <- BNC_DATA; //Load data.
27   else
28     FF <- (~FF[3:1]); //Shift.
29
30   assign TX = FF[0] XOR; //RR.
31
32 endmodule
```

RTL код

Традиционное  
моделирование  
(Подтема 3.2)

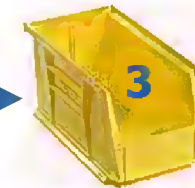


Данные направленного  
тестирования

Формальная проверка  
(Подтема 3.4)



CRV (ограниченная  
случайная  
верификация) с  
функциональным  
покрытием



(Подтема 3.3)

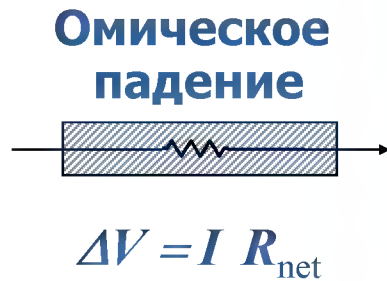
Утверждения  
(сообщения)  
(SystemVerilog)

Аппаратная эмуляция  
(Подтема 3.5)

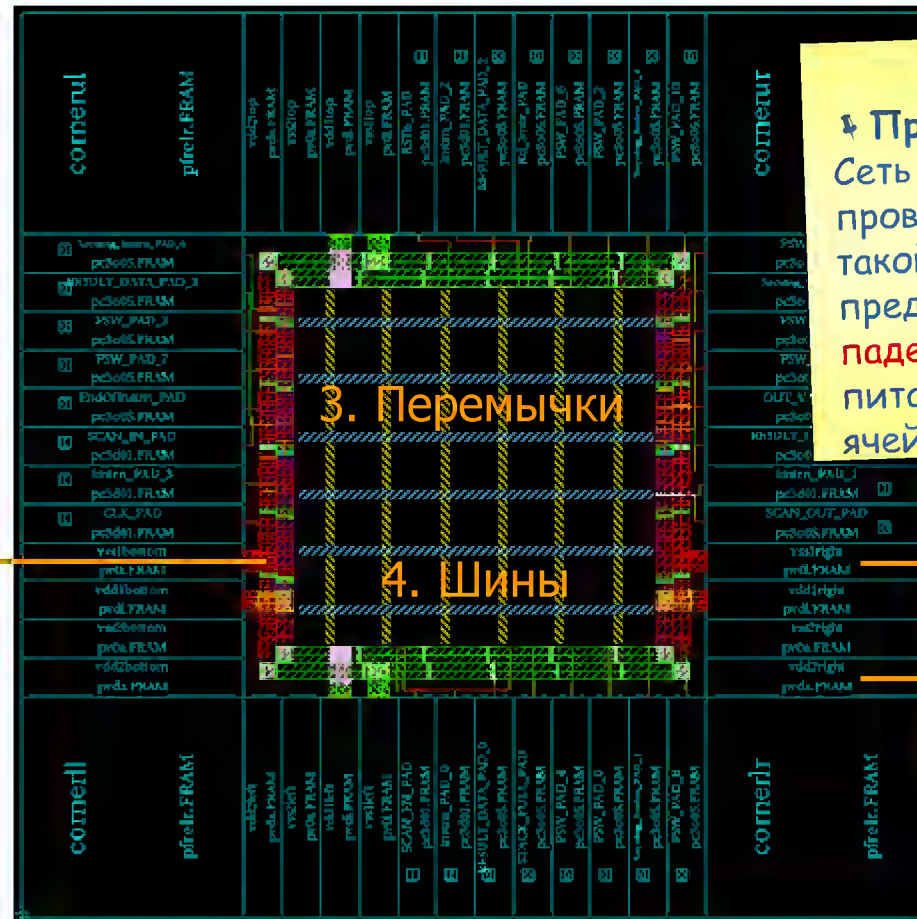


# Сеть подачи питания

4-14



2. Кольцевая сеть питания  
(Слои M3, M4)



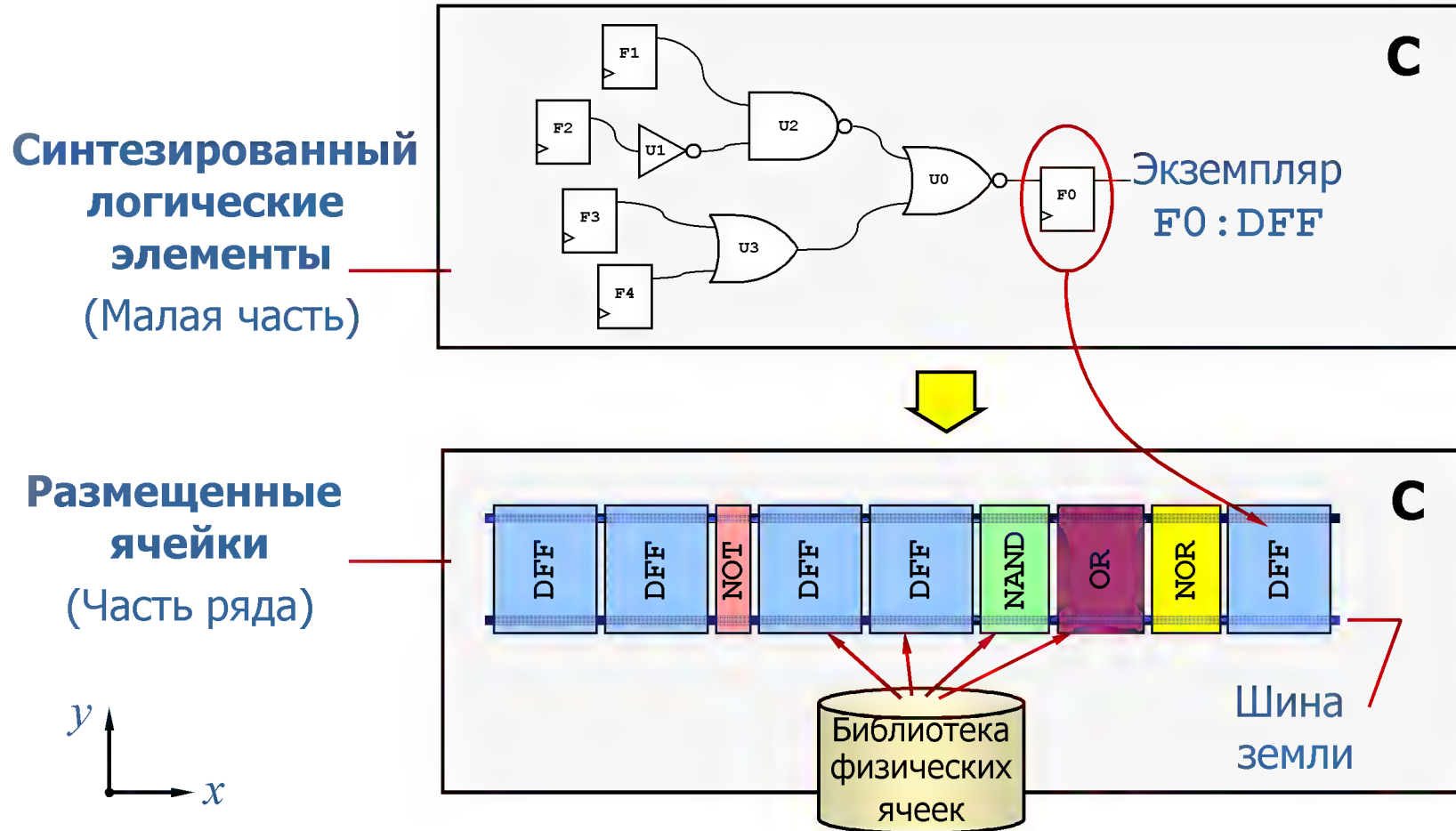
Практическое правило:  
Сеть питания и ширина проводников должна быть такой, чтобы предотвратить избыточное падение  $IR$  при подводе питания к стандартной ячейке.

1. Контактная площадка VSS  
1. Контактная площадка VDD

- При разработке плана размещения проектируется **кольцевая** сеть питания и **перемычки**.
- Перемычки в свою очередь подводят энергию к **шинам** локальных стандартных ячеек.

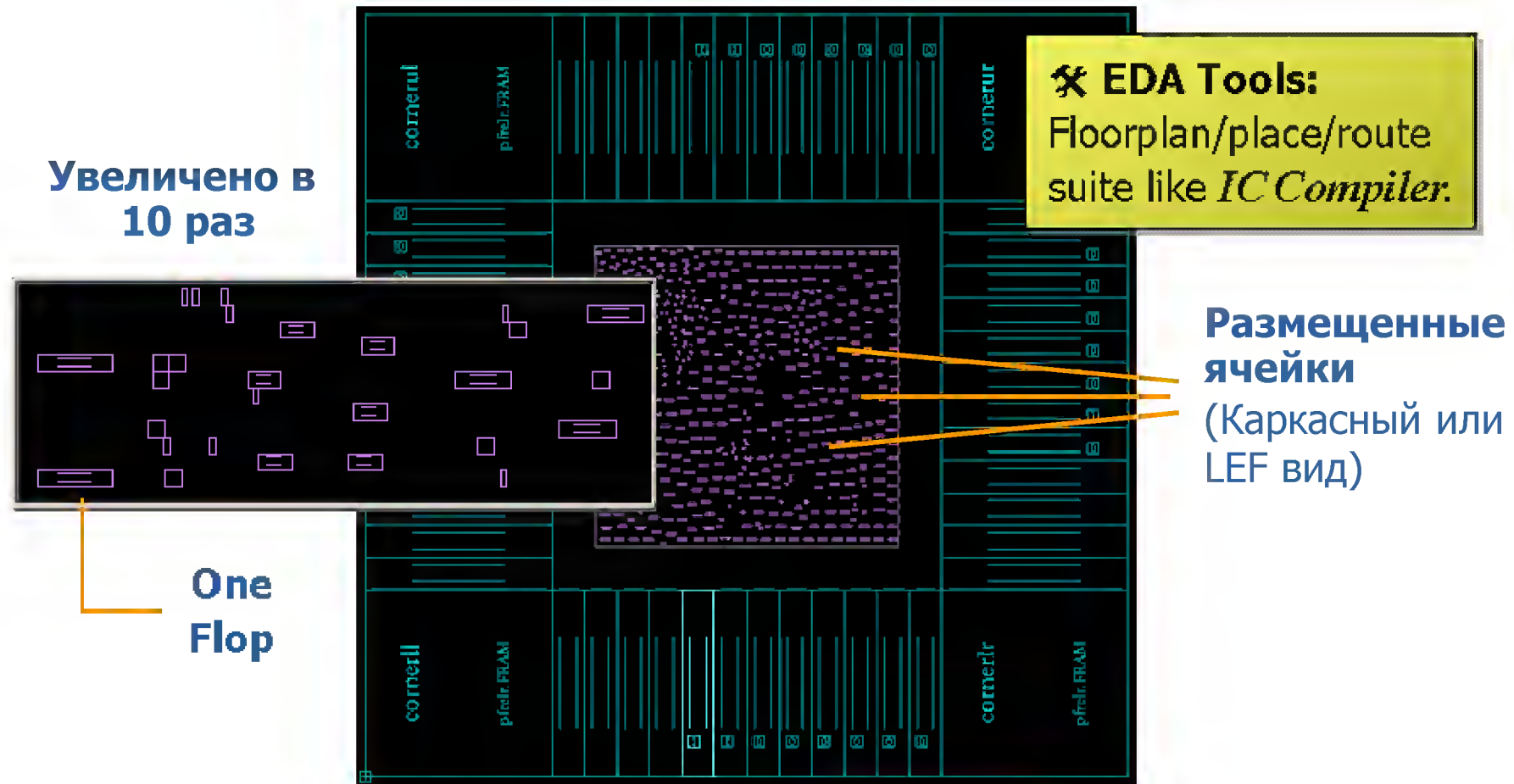
# Из топологической области в физическую

# 4-17

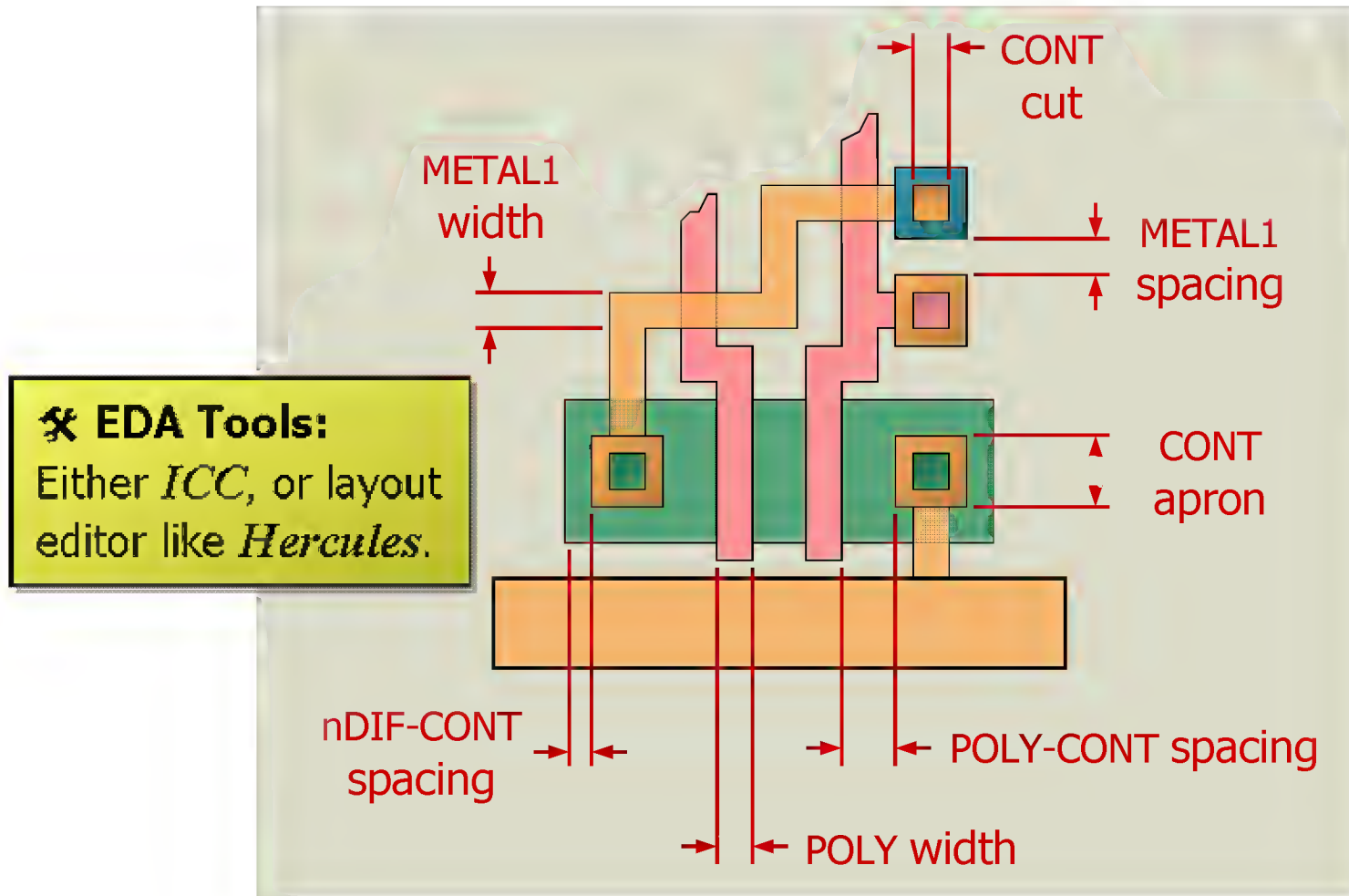


- Во время размещения стандартные ячейки располагаются в **рядах**.
- Напряжение подводится общими шинами **питания, земли**.

# Окончательное расположение ячеек 4-19



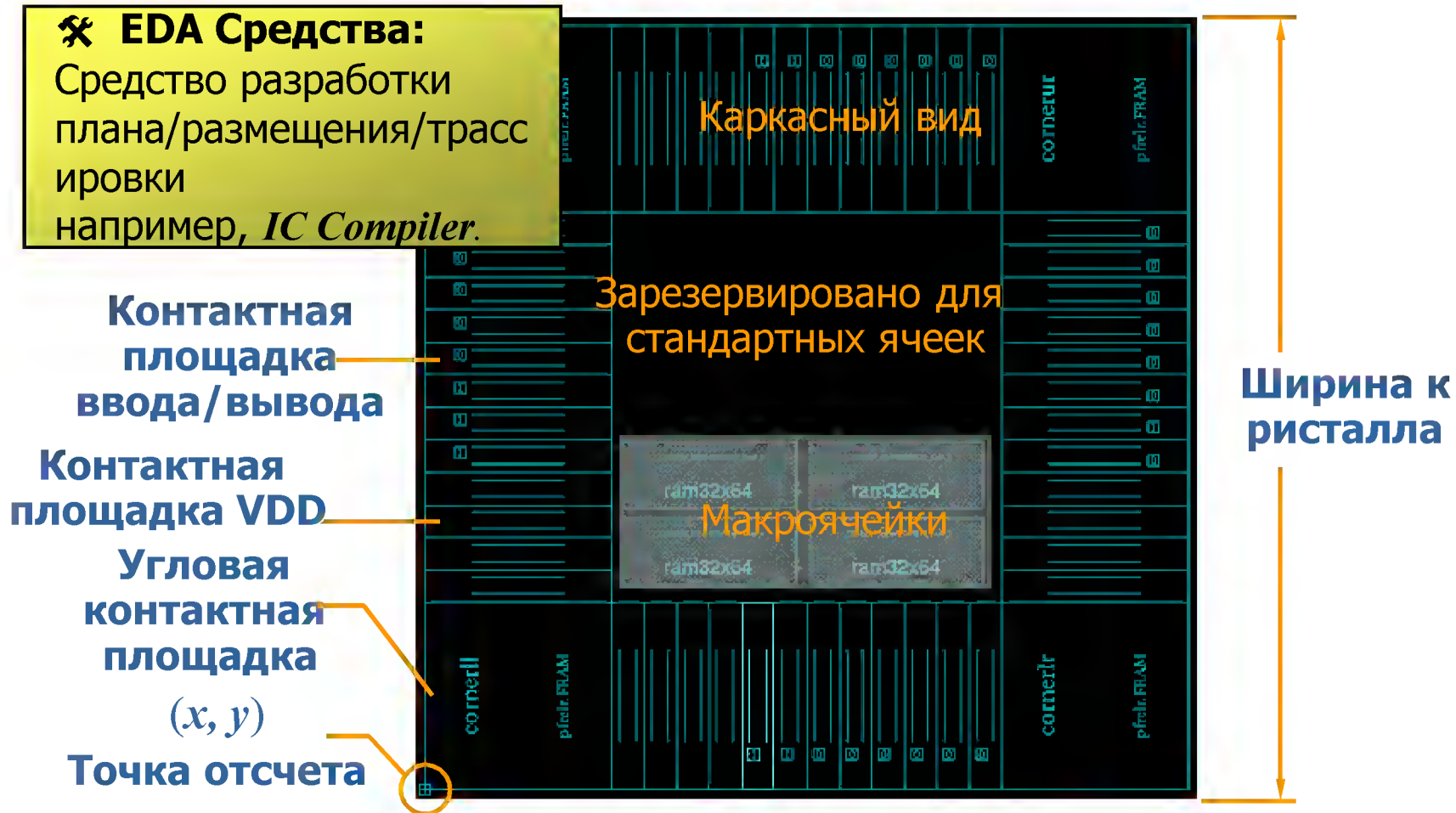
- Каждая стандартная ячейка сейчас **находится** в некоторой  $(x, y)$  позиции.
- Они организованы в горизонтальные ряды, но пока не соединены.



- Правила проектирования определяют **высоту** и **ширину** стандартных ячеек.
- Технологичность требует строгого соблюдения всех правил проектирования.



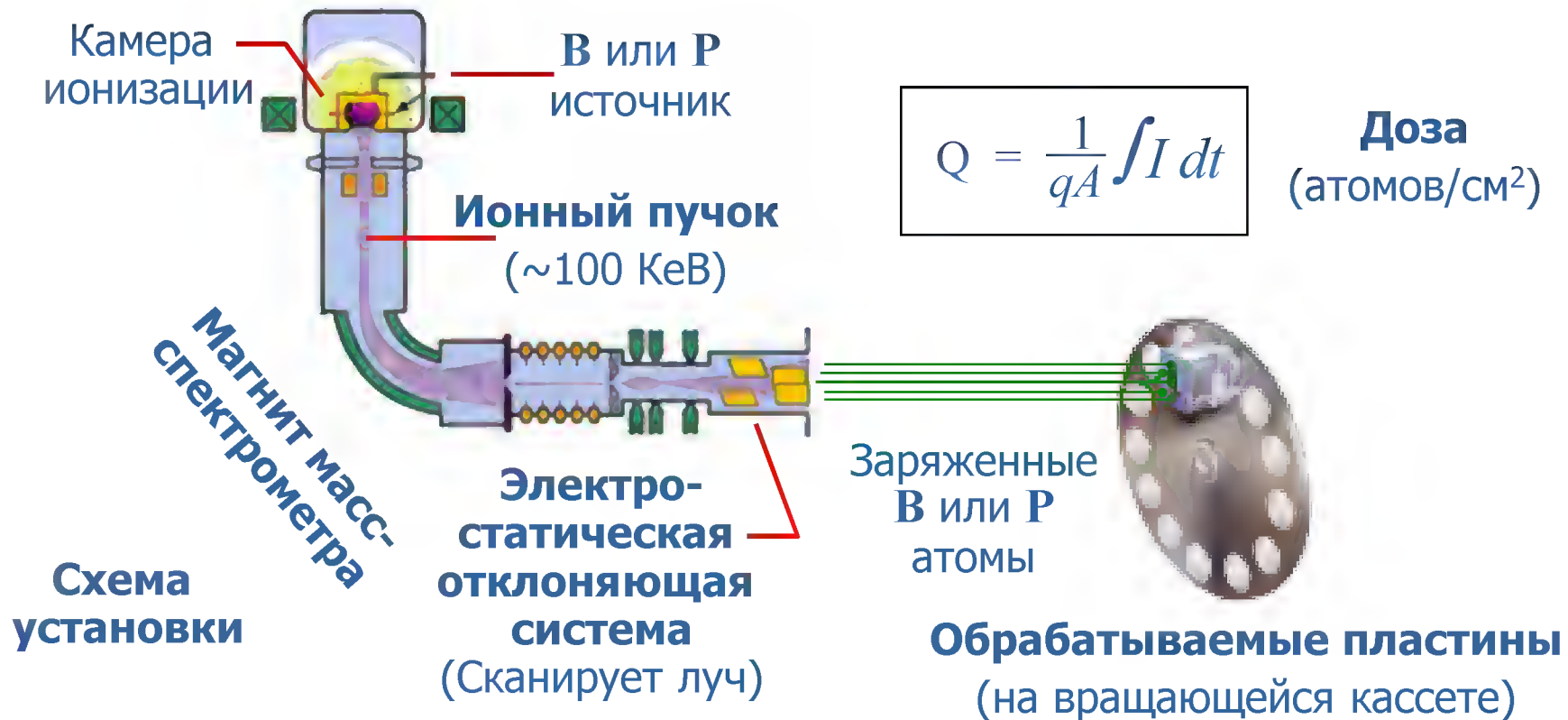
# Начальный план размещения 4-9



- При разработке плана блоки размещаются на **кремниевом кристалле**.
- Между контактными площадками и ядром резервируется место для **каналов трассировки**.

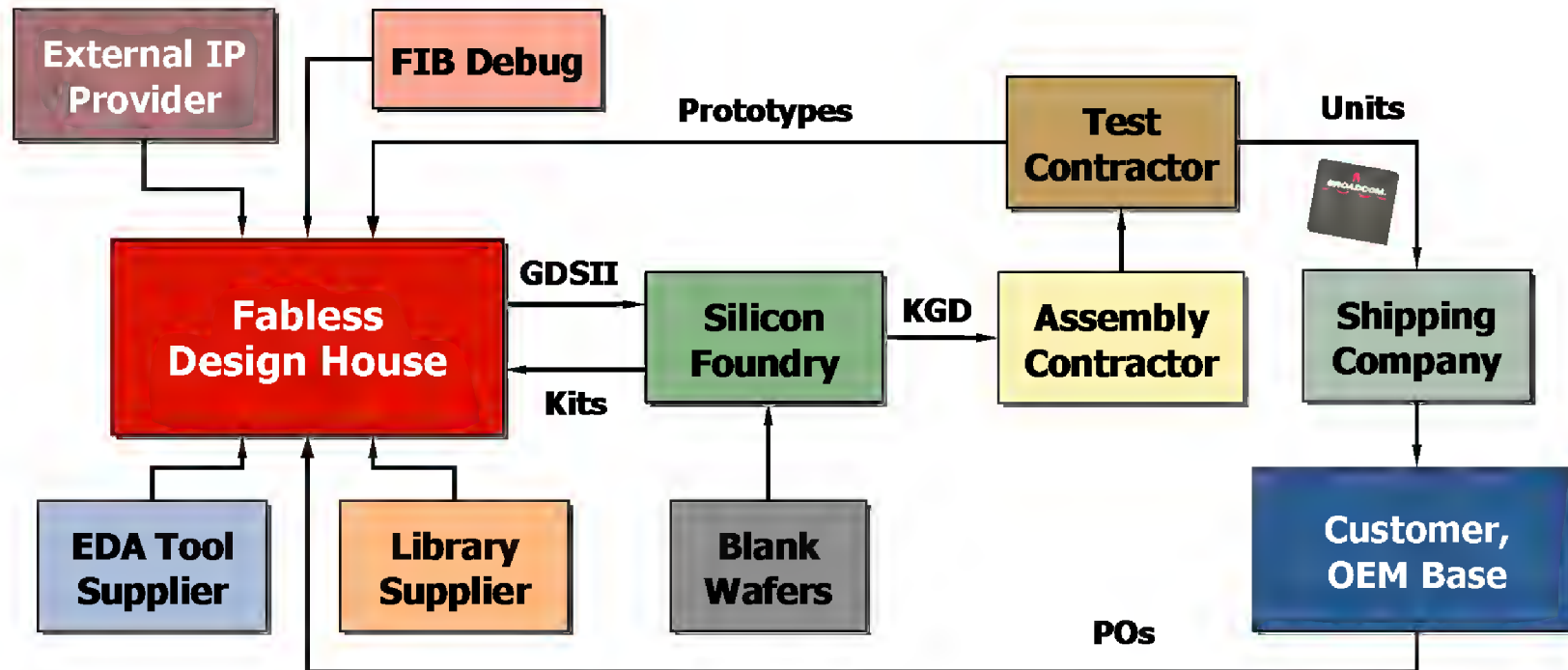
# Ионная имплантация

5-19



- Имплантация **вводит** легирующие атомы в приповерхностный слой.
- **Параметры** легирования—глубина и доза—тщательно контролируются.
- Отжиг позволяет атомам **занять свои места** в нарушенной кристаллической решетке.

# Экономика обработки пластин 5-22



- Предприятия по производству микросхем, такие как TSMC, **покупают** необработанные пластины у поставщиков.
- Выращивание бездефектных кремниевых кристаллов само по себе является **искусством**.
- **Необработанная 300-мм пластина** стоит несколько сотен долларов.

# От данных проекта к набору масок

# 5-7

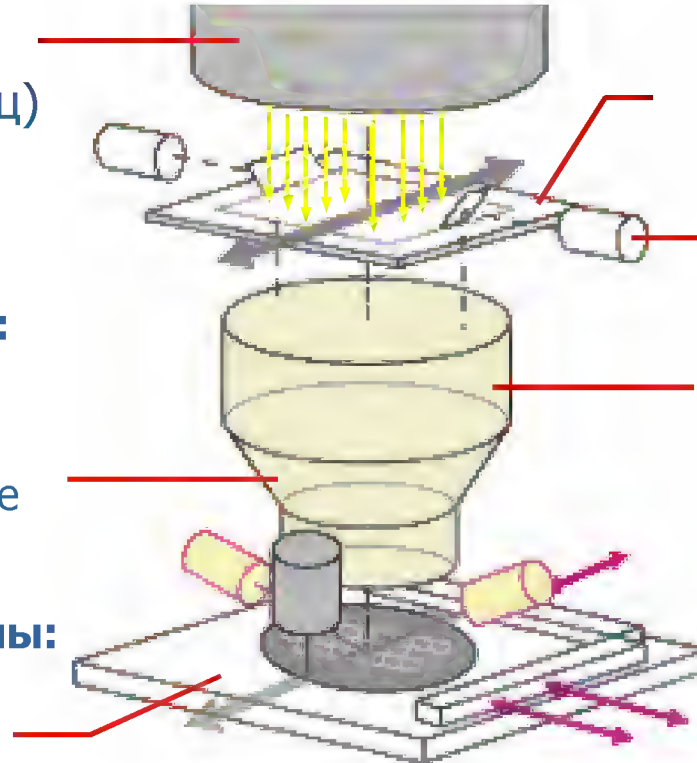


- Двигающийся **электронный пучок** избирательно удаляет хром.
- Результат: точная увеличенная в 4× х копия **шаблона** геометрии одного слоя.

# Устройство последовательного шагового экспонирования

# 5-9

**ArF лазер**  
(45 Вт на 100 Гц)



**Фотооригинал**

**Метка выравнивания:**  
Общая для фотооригиналов

**Конденсор:**  
Собирает ультрафиолетовый свет. Обеспечивает равномерное освещение маски.

**Интерферометр:**  
Положение *xuz* платформы

**Уменьшающая оптика:**

В отличие от увеличивающей — уменьшает изображение в 4 раза.

**Платформа для пластины:**

- ЧПУ *xuz* движение
- Воздушные подшипники

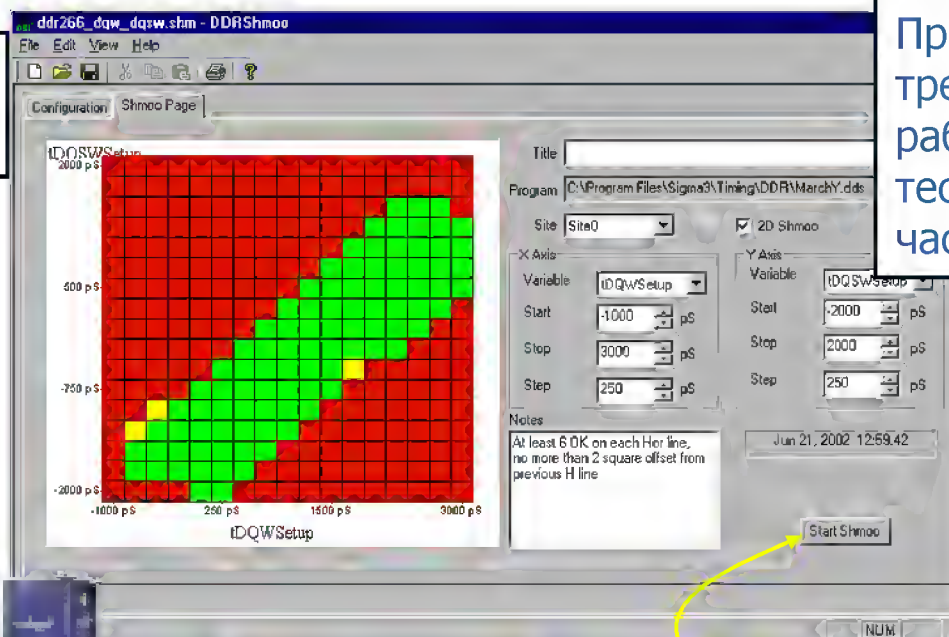
- В первых устройствах последовательного экспонирования фотооригинал был **неподвижным**.
- Пластина **пошагово передвигалась**, и весь фотооригинал экспонировался.
- **Сканирующее** устройство последовательного экспонирования передвигает и то и другое, выполняет пошаговое экспонирование.

# График Shmoo

6-39

 Успешно  
 Отказ

Окно  
автоматической  
тестирующей  
установки



**Каплеобразный:**

При построении в  
трехмерном пространстве  
рабочая область  
тестируемого прибора  
часто подобна груше.



**Shmoo**

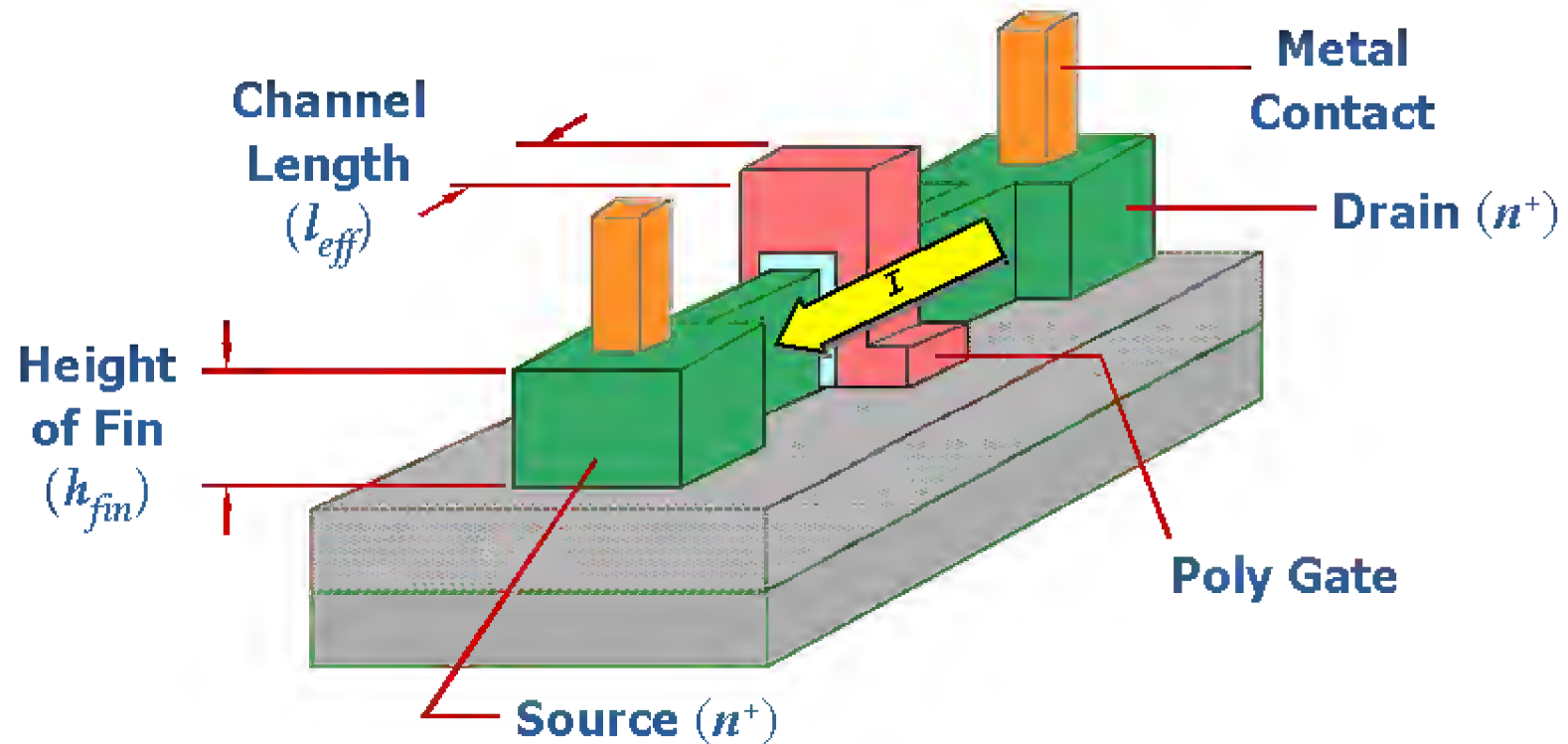
Автоматическая  
тестирующая установка с  
испытуемым прибором

Запуск построения  
графика

- График показывает **области**, в которых тестируемый прибор работает **корректно**.
- Может варьироваться **напряжение** питания, внешняя **температура** и **т.д.**

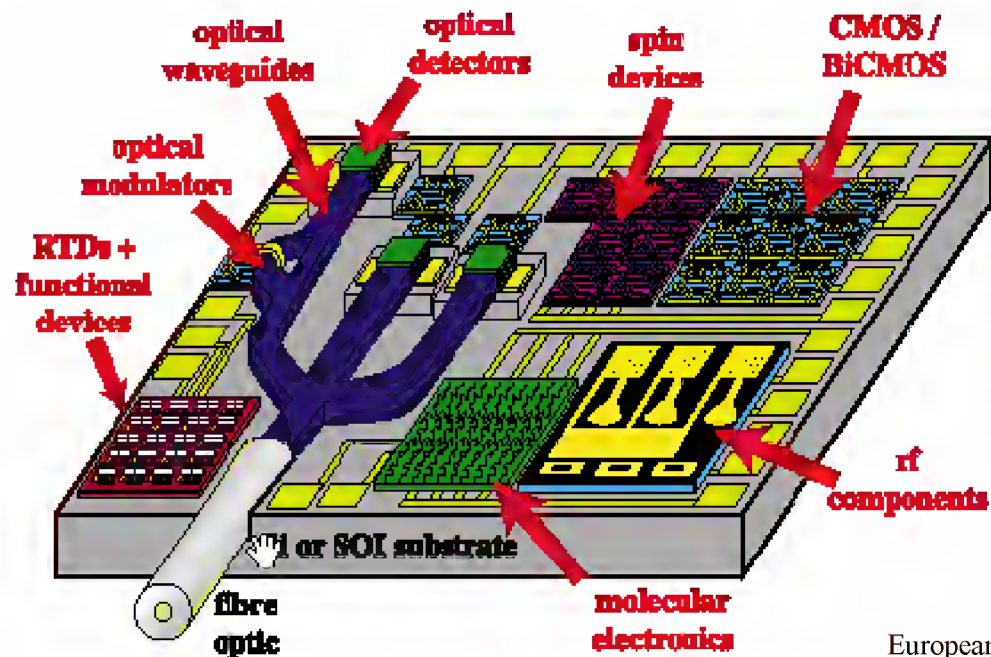
# Одиночный $n$ МОП плавниковый транзистор (FinFET) (4/4)

# A-12



- Как обычно, добавляются контакты для истока, стока и затвора.
- Зеленые концы «плавника» ведут себя подобно **нанопроволоке**.
- Свойства полученного плавникового транзистора приближается к свойствам идеального транзистора с длинным каналом.
- Структура должна хорошо **масштабироваться** от технологической нормы 22 нм к 14 нм и 10 нм.

# За пределами технологии КМОП микросхем А-22



Гордон Мур,  
Intel ('65)

European Nanotechnology Roadmap

- Ожидается, что закон Мура будет выполняться еще **два десятилетия**.
- Потребуется новые **приборы и соединения**.
- Но они будут полностью использовать базу **КМОП технологии**.