

# ПЛИС и Verilog - школьникам

*Результаты  
экспериментов по  
преподаванию школьникам  
цифровой электроники на  
семинарах в Киеве и  
Новосибирске в 2017 году*

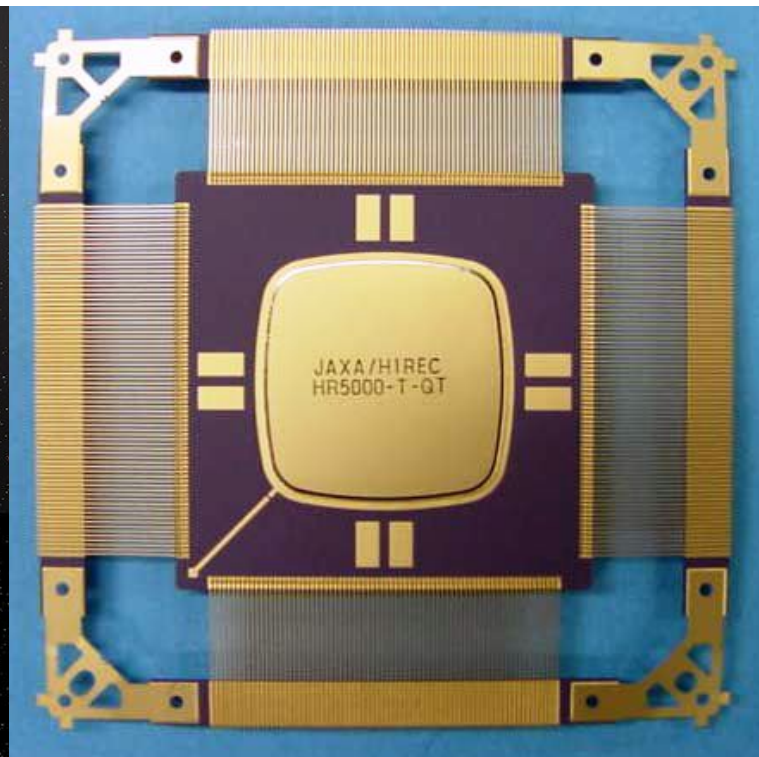
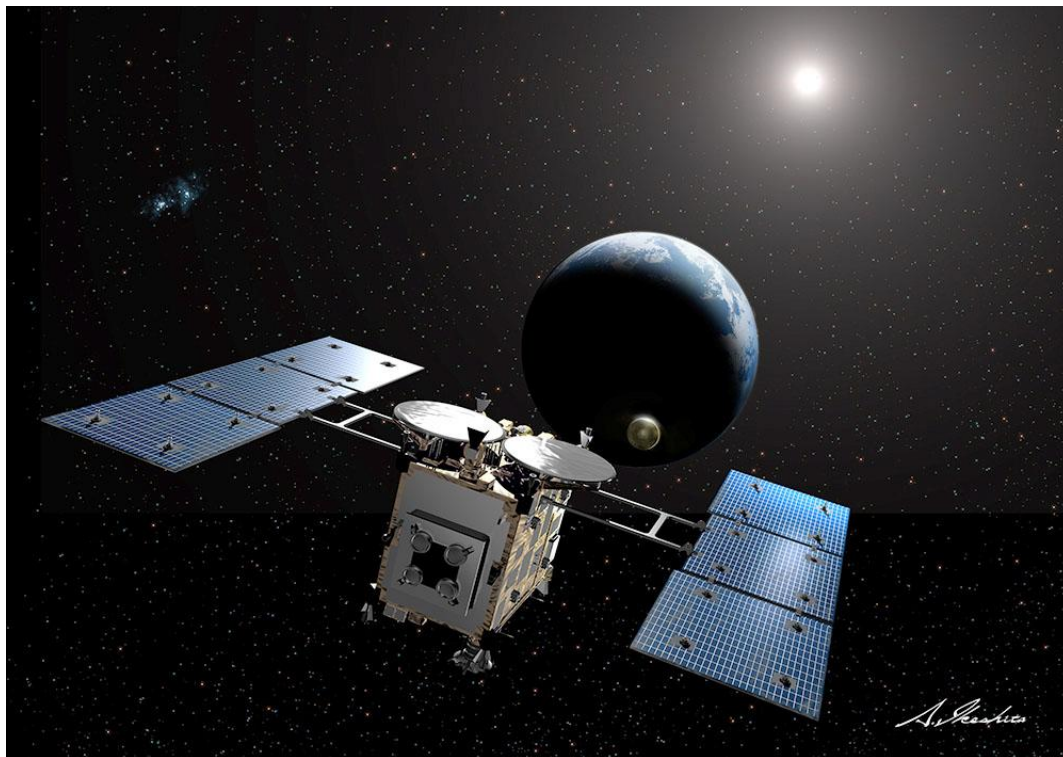


Юрий Панчул, старший инженер по разработке и верификации аппаратуры  
в команде разработчиков микропроцессорного ядра MIPS I6400

MIPS

Зачем?

# Хаябуса-2 летит к астероиду



Ею управляет встроенный микропроцессор

# Встроенные микропроцессоры

Smart Phone:  
5-10 CPUs



Smart Car:  
30-50 CPUs



Smart House:  
100s of CPUs



Они проектируются с использованием языка Verilog



# В каждом смартфоне несколько чипов

“Чертеж”

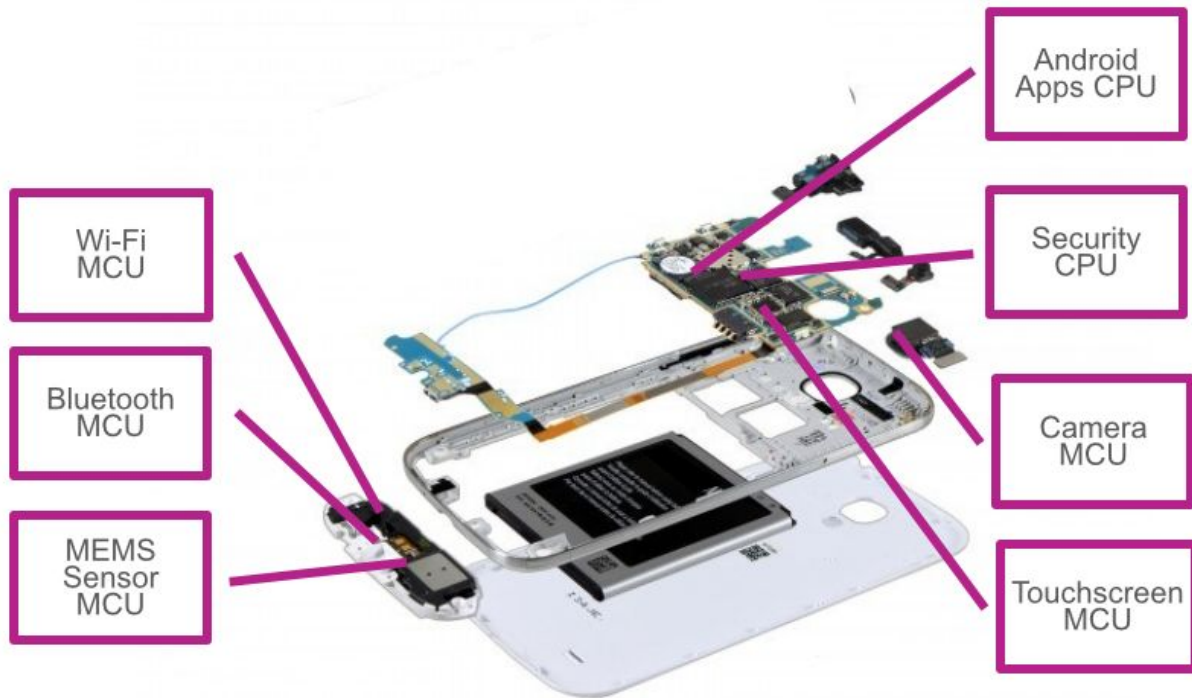
каждого из них

называется

“системой на кристалле” (по

английски

System on Chip - SoC)



# Путин говорил про искусственный интеллект

Но искусственный интеллект - это не только программирование готовых чипов, спроектированных в других странах.

Это еще и разработка аппаратуры, своих микросхем типа ASIC, специализированных для задач искусственного интеллекта.

\* ASIC - Application Specific Integrated Circuit

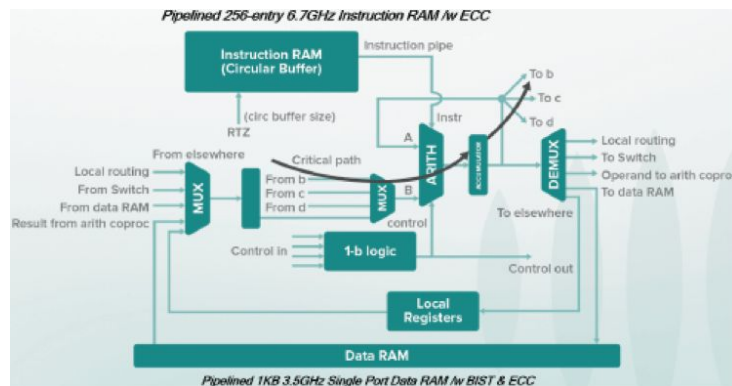
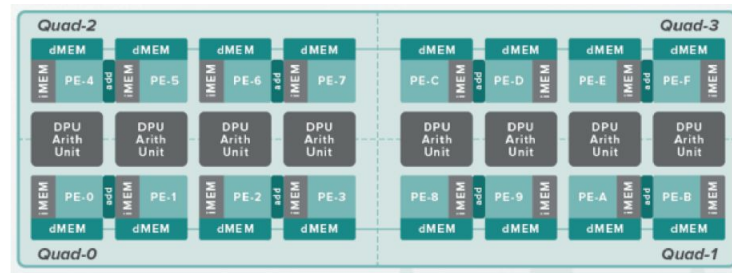


ЯРОСЛАВЛЬ, 1 сентября. /ТАСС/. Президент России Владимир Путин считает, что страна, добившаяся лидерства в создании искусственного интеллекта, "будет властелином мира".

# Пример: чип для глубокого обучения

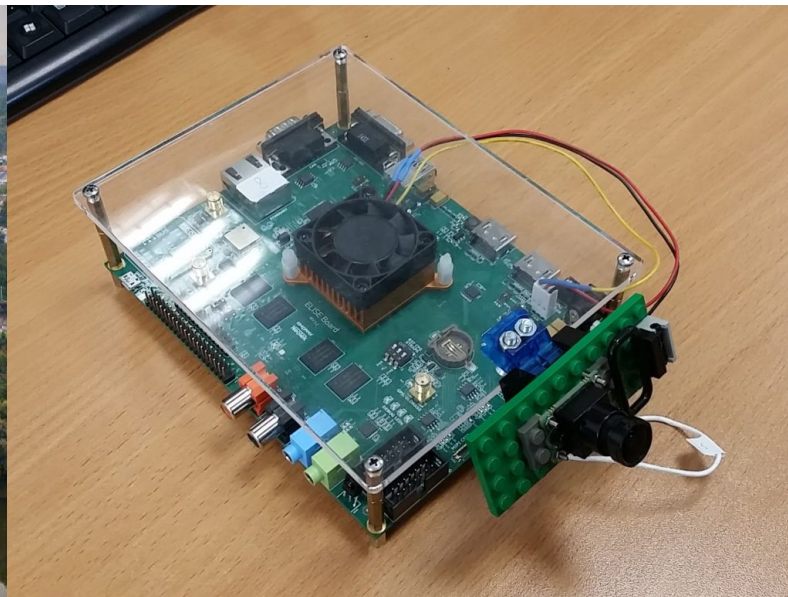
Стартап Кремниевой долины Wave Computing <http://wavecomp.ai>

	AXI 23	AXI 22	AXI 21	AXI 20	AXI 19	AXI 18	AXI 17	AXI 16	
AXI 24									AXI 15
AXI 25									AXI 14
AXI 26									AXI 13
AXI 27									AXI 12
AXI 28									AXI 11
AXI 29									AXI 10
AXI 30									AXI 9
AXI 31									AXI 8
	AXI 0	AXI 1	AXI 2	AXI 3	AXI 4	AXI 5	AXI 6	AXI 7	



# Пример: чип для распознавания образов

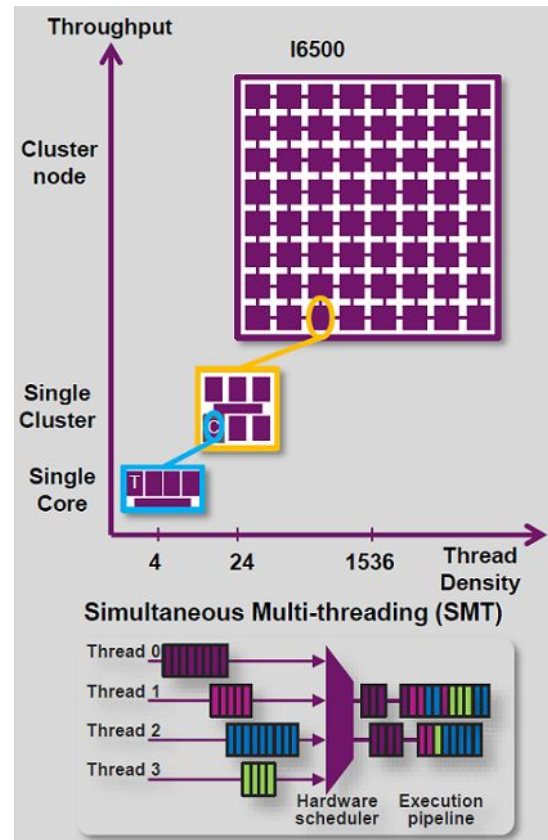
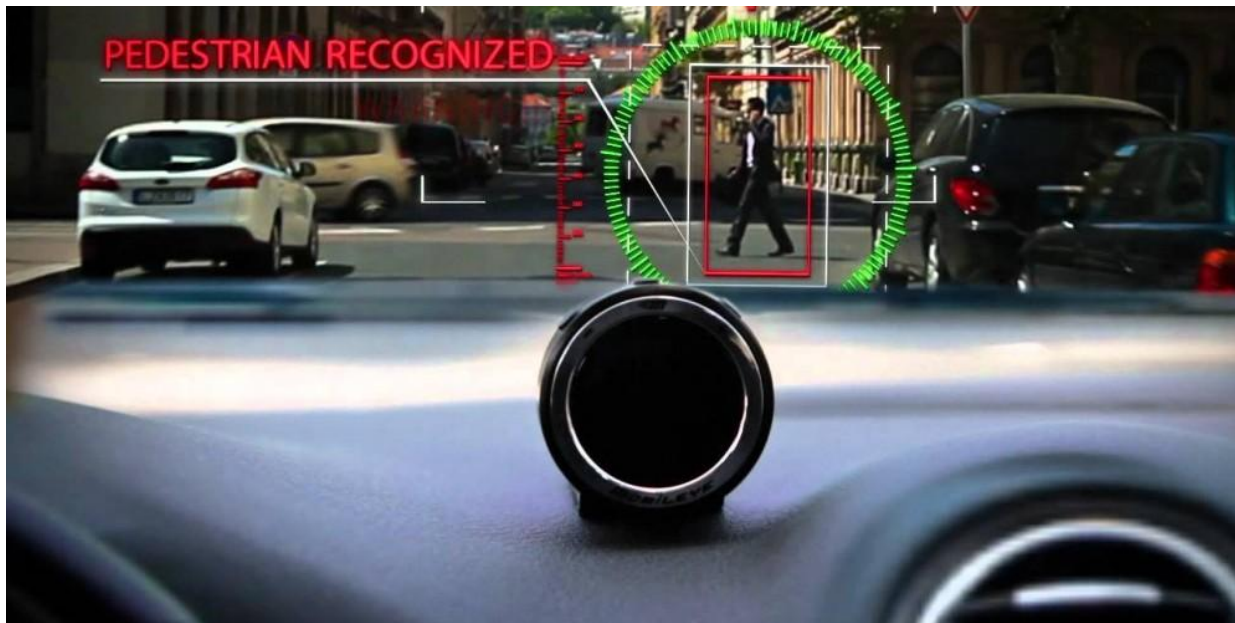
Чип ELISE российской компании ЭЛВИС-НеоТек <http://elveesneotek.ru> .  
Совместный российско-американо-британский проект с спроектированными в Зеленограде блоками для обработки видео изображений. Плата с чипом:





# Пример: чип для помощи водителю

Компания Mobileye <http://mobileye.com> (часть Intel). Их следующий чип EyeQ5 с ядром MIPS I6500-F - для будущих самоуправляемых автомобилей от BMW.



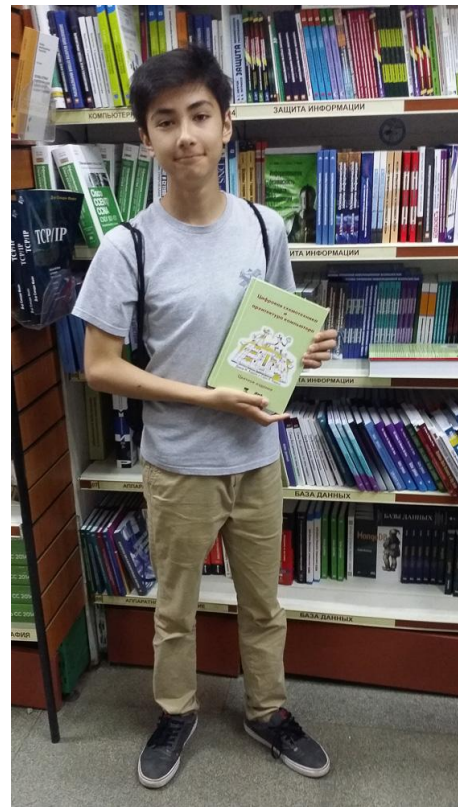
Как?

# Как вырастить проектировщиков таких устройств?

В центре разработки систем на кристалле:

1. Цифровая схемотехника
2. Синтез языков описания аппаратуры
3. Использование ПЛИС для прототипирования ASIC

Основам этих технологий  
можно научить старшего школьника



Что это?



# Между физикой и программированием

<b>Физика</b>	Эксперименты с электричеством	Ток, напряжение, сопротивление
	Дискретные транзисторы, сопротивления и конденсаторы	
<b>Цифровая логика</b>	Цифровые микросхемы малой степени интеграции	Логика, такты, схемы
	Язык описания аппаратуры Verilog и матрицы ПЛИС / FPGA	
<b>Программирование</b>	Программирование микроконтроллеров, Ардуино, Расберри Пай и роботика	Программы, инструкции, ветвление
	Программирование компьютеров	

## “Но у нас уже есть Ардуино!” Нет, это другое

- Работа с Ардуино - это программирование готового микроконтроллера
- Программирование делается на Си
- Компилятор превращает код на Си в цепочку инструкций
- Инструкции хранятся в памяти, откуда их вытаскивает процессор
- Но сам процессор - это не программа, это электрическая схема
- Эта схема синтезирована из описания на Verilog
- Никакое количество программирования не научит синтезировать схемы

Аналогия: если умение программировать на Си - это как умение водить автомашину, то умение писать на Verilog - это как умение проектировать двигатель автомашины.

# Программы: из Си в инструкции процессора

Си:

```
int f (int a, int b)
{
    int s = 0;

    while (s < a)
        s += b;

    return s;
}
```

Ассемблер:

```
sum:
    blez    $4, exit
    move   $2, $0

    addu   $2, $2, $5

loop:
    slt   $3, $2, $4
    bnel  $3, $0, loop
    addu  $2, $2, $5

exit:
    jr    $31
    nop
```

Машинный  
код

```
18800005
00001025

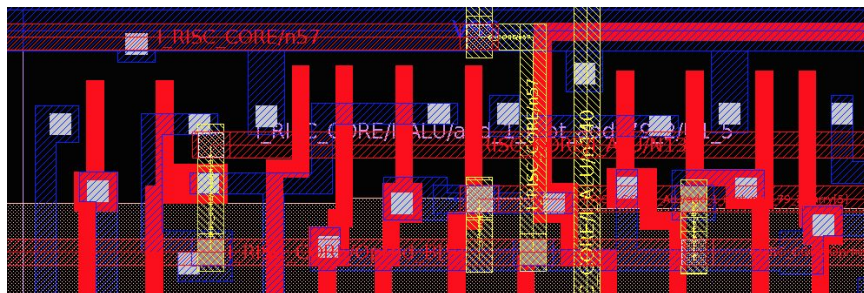
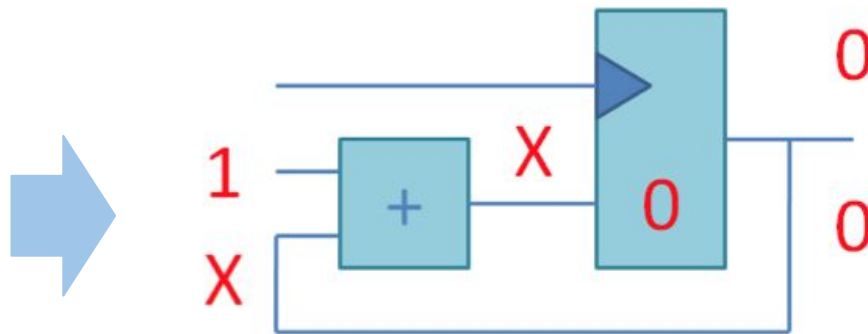
00451021

0044182a
5460fffe
00451021

03e00008
00000000
```

# Схемы: из Верилога в транзисторы

```
module counter
(
  input clock,
  input reset,
  output logic [1:0] n
);
always @(posedge clock)
begin
  if (reset)
    n <= 0;
  else
    n <= n + 1;
end
endmodule
```





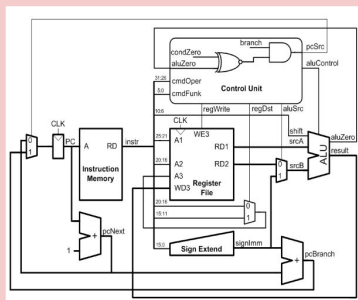
# Дуализм аппаратной и программной частей

## Микроконтроллер (в том числе AVR в Ардуино)

### CPU

Проектируется  
на верилоте.

Выполняет  
инструкции.



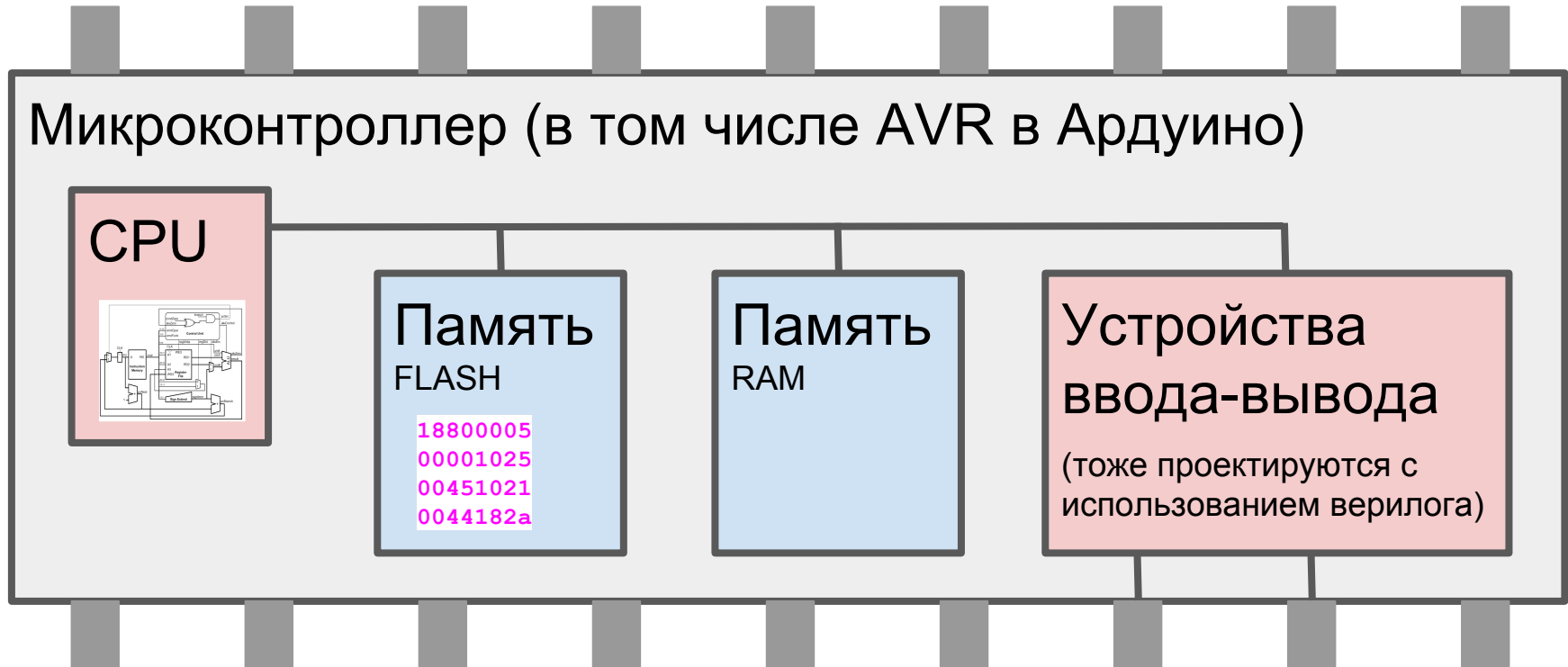
### Память

А в ней программа,  
цепочка инструкций.

Скомпилирована  
из Си.

```
18800005
00001025
00451021
0044182a
5460fffe
00451021
03e00008
00000000
```

# Дуализм аппаратной и программной частей - 2

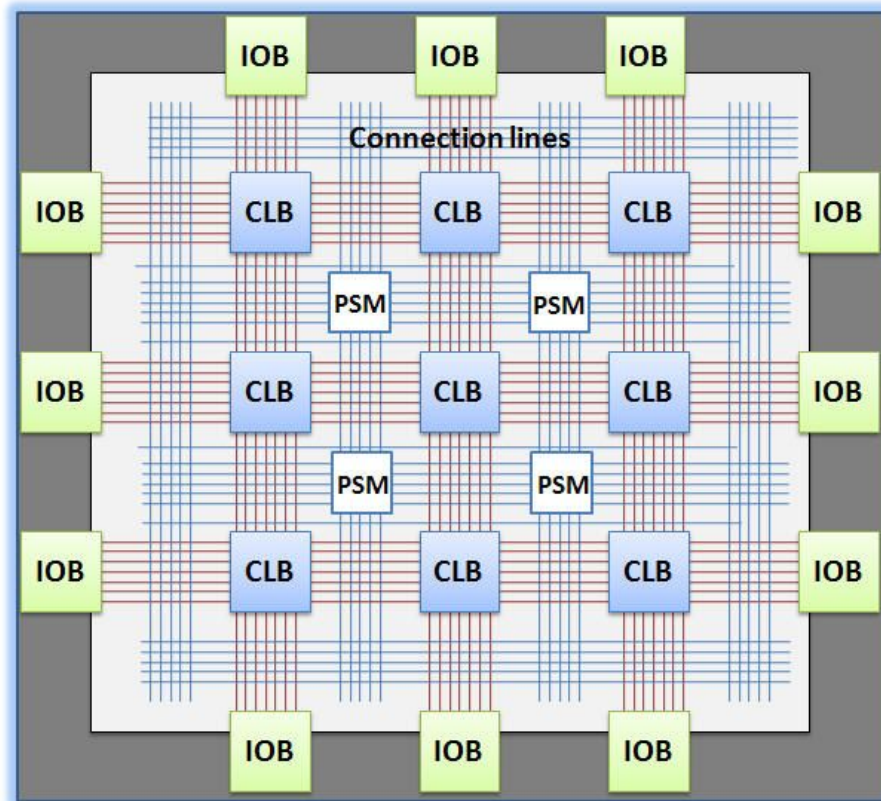


# А что такое ПЛИС / FPGA?

Матрица из ячеек с изменяемой логической функцией.

Одна ячейка может стать И, другая - ИЛИ, третья - битом памяти.

Микросхема, в которой нет процессора, но можно его создать на лету.



**IOB**  
Input Output Block

**CLB**  
Configurable  
Logic Block

**PSM**  
Programable  
Switch Matrix

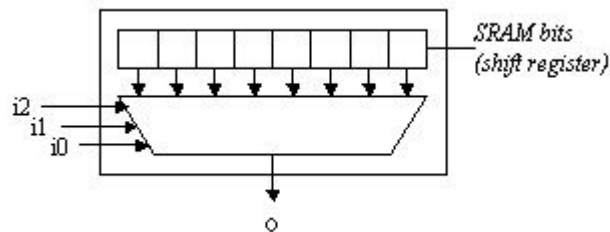
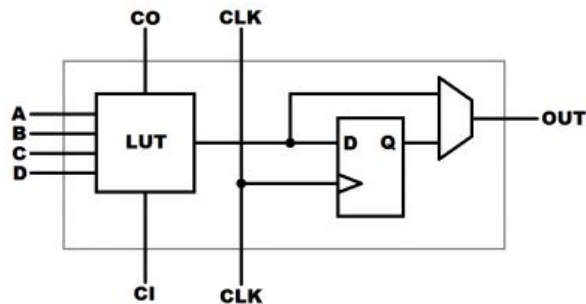
**Connection lines**  
Single, Long  
Double, Direct

# Как работает ячейка ПЛИС?

В каждой ячейке стоят мультиплексоры (устройства выбора), подсоединенные к битам памяти, загружаемой снаружи ПЛИС.

Они позволяют формировать схемы внутри ПЛИС, просто меняя содержание конфигурационной памяти.

Компании используют ПЛИС для прототипирования фиксированных микросхем ASIC, которые уже изготавливаются на фабрике и идут в массовые гаджеты.



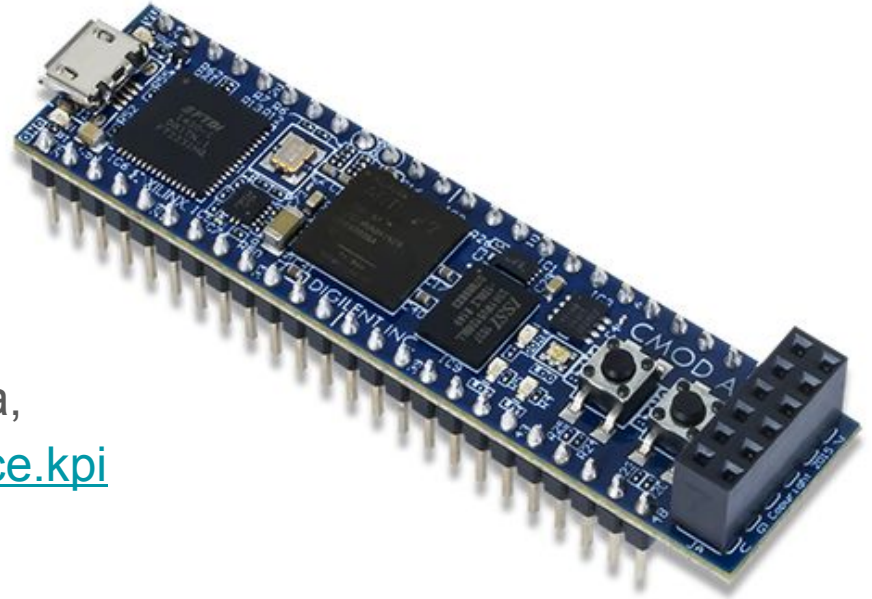


Оборудование

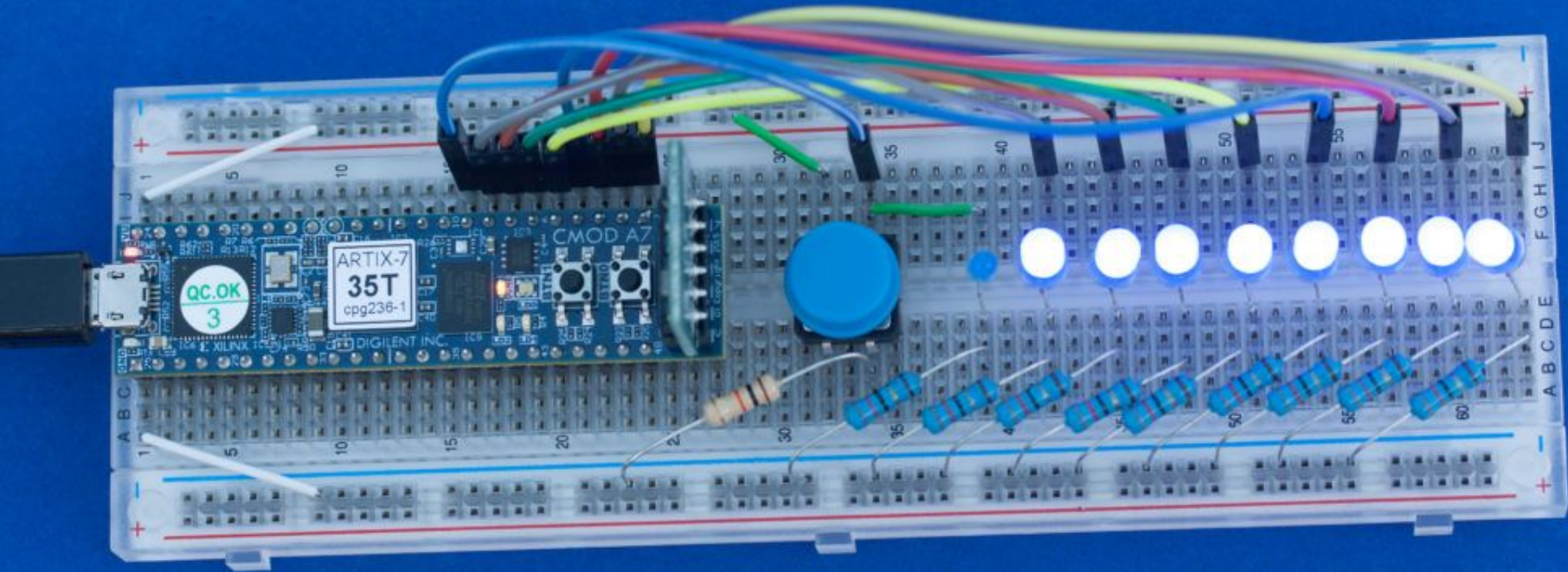
# Плата Digilent Cmod A7 35T с ПЛИС Xilinx Artix-7

Мы использовали эти платы на семинарах в:

- Лаборатории Лампа Киевского Политехнического Института,  
<http://www.facebook.com/lampa.kpi>
- Студенческом пространстве Белка,  
<http://www.facebook.com/belka.space.kpi>
- Киевско-Могилянской Академии  
<http://fin.ukma.edu.ua>



Стод А7 можно воткнуть в макетную плату!

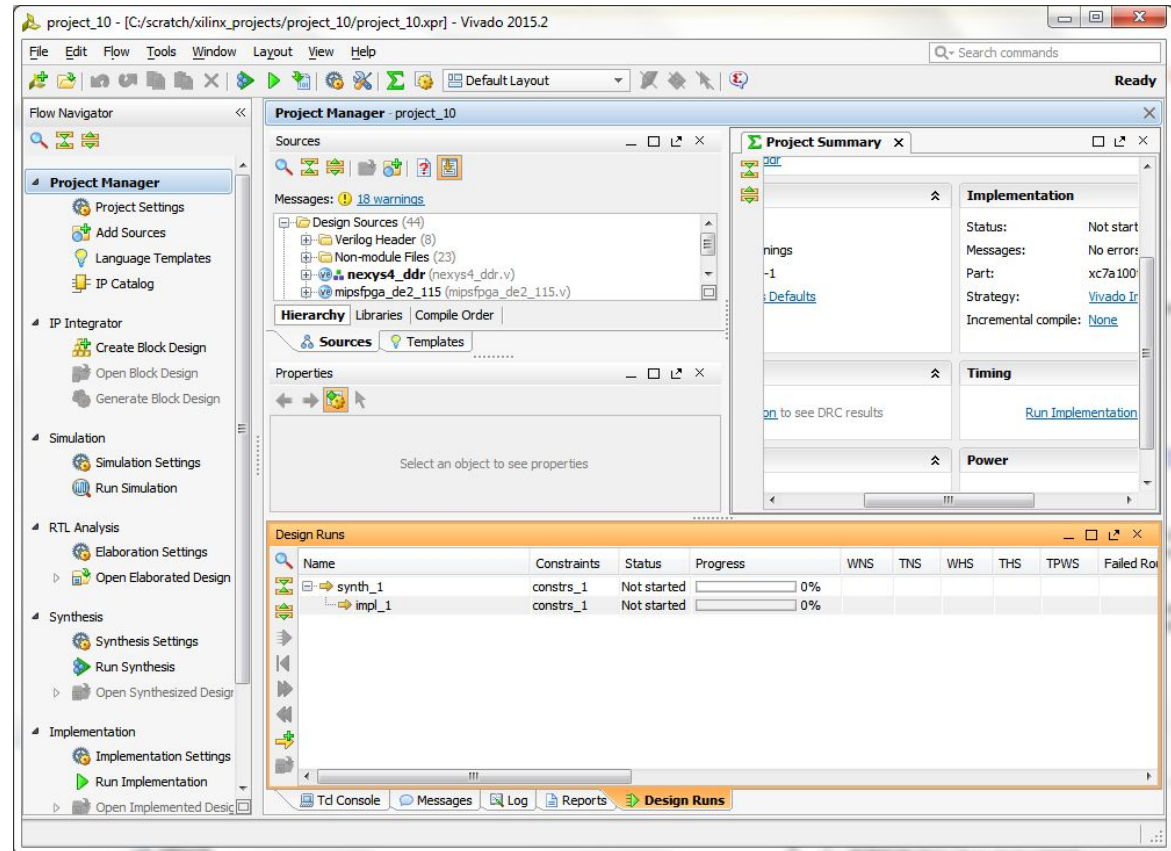


# Для ПЛИС Xilinx использовали ПО Xilinx Vivado

Работает под Windows  
и под Linux

Требует 6-8 гигабайт  
оперативной памяти, с  
большим трудом  
работает на 4 GB

Проблемы с заливкой /  
конфигурацией, если  
использовать дешевый  
USB кабель





# Плата Terasic DE0-CV с ПЛИС Altera Cyclone V

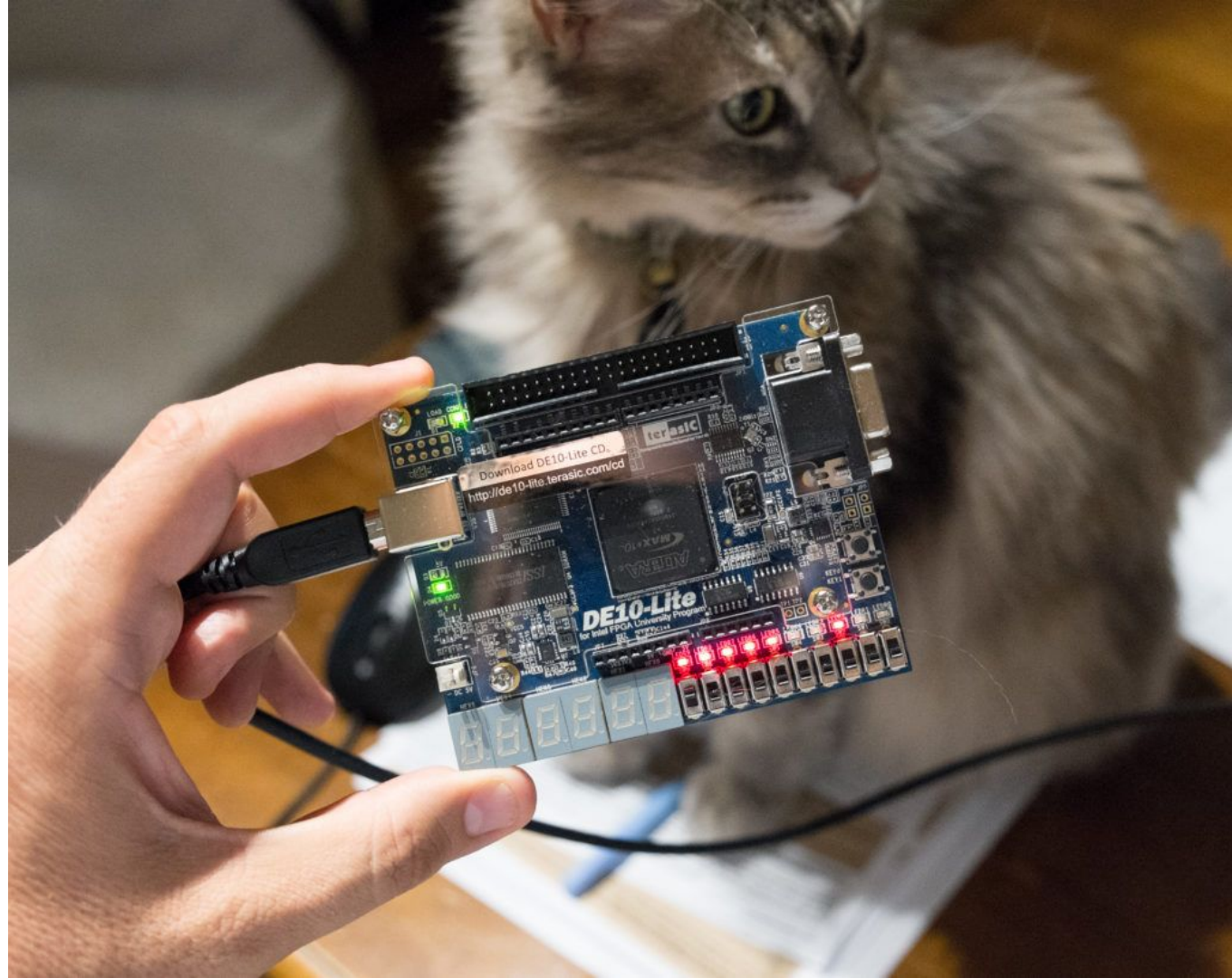
- В Новосибирской Летней Школе Юных Программистов, <http://www.facebook.com/lshup>
- В Новосибирском Технопарке, <http://www.facebook.com/groups/227526680748417>



# Плата Terasic DE10-Lite с ПЛИС Altera MAX 10

Недорогая,  
вместительная и  
надежная плата

Altera стала частью  
Intel, поэтому теперь  
этот ПЛИС  
называется Intel  
MAX 10



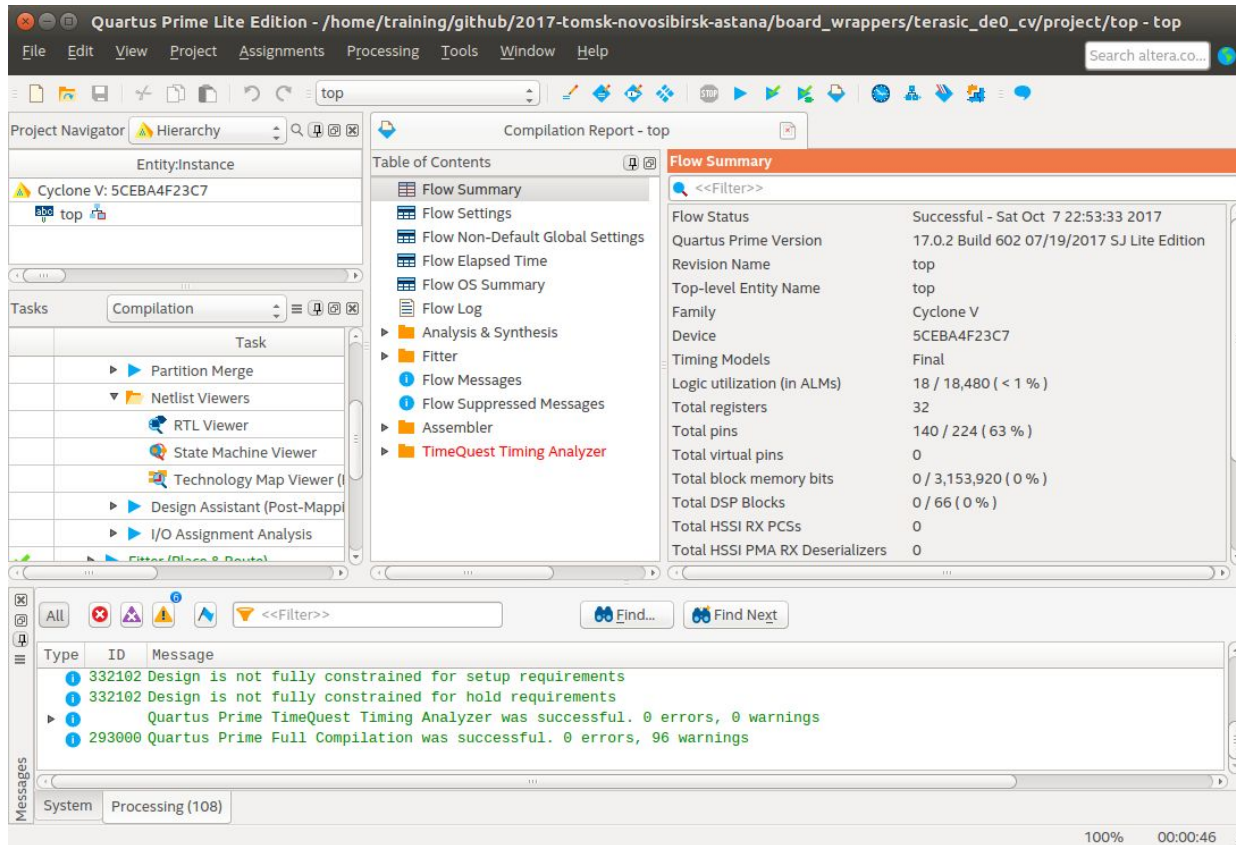


# Для ПЛИС Altera использовали ПО Altera Quartus Prime

Работает под Windows  
и под Linux

Может работать даже  
на 2GB оперативной  
памяти, но лучше  
иметь 6-8 гигабайт

Так как Intel купил  
Altera, продукт теперь  
называется Intel FPGA  
Quartus Prime Lite  
Edition



The screenshot displays the Quartus Prime Lite Edition interface. The main window shows the 'Compilation Report - top' for a project named 'top'. The report is organized into a 'Table of Contents' and a 'Flow Summary' section.

**Table of Contents:**

- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Flow Messages
- Flow Suppressed Messages
- Assembler
- TimeQuest Timing Analyzer

**Flow Summary:**

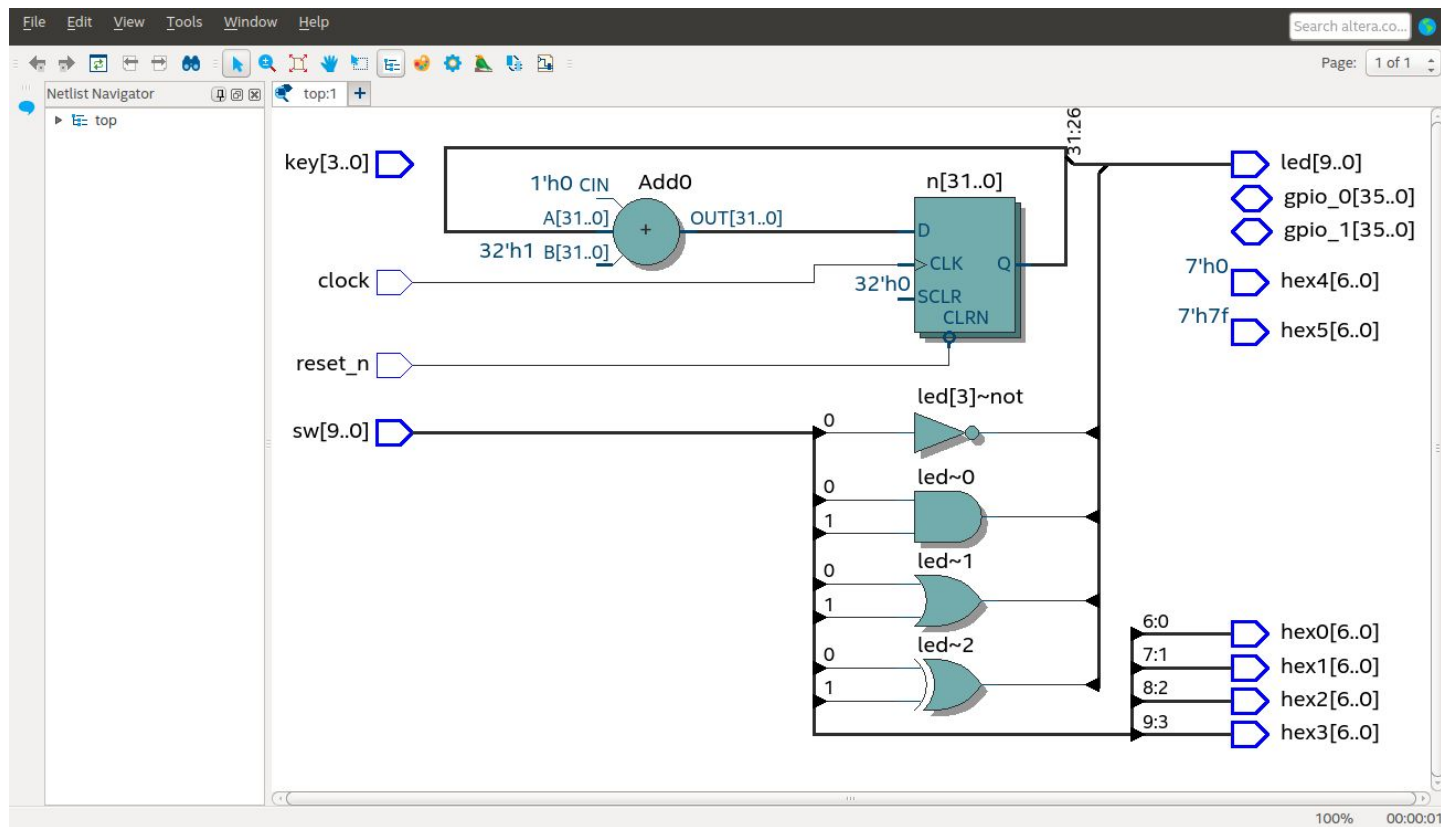
Flow Status	Successful - Sat Oct 7 22:53:33 2017
Quartus Prime Version	17.0.2 Build 602 07/19/2017 SJ Lite Edition
Revision Name	top
Top-level Entity Name	top
Family	Cyclone V
Device	5CEBA4F23C7
Timing Models	Final
Logic utilization (in ALMs)	18 / 18,480 (< 1 %)
Total registers	32
Total pins	140 / 224 (63 %)
Total virtual pins	0
Total block memory bits	0 / 3,153,920 (0 %)
Total DSP Blocks	0 / 66 (0 %)
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0

The 'Messages' window at the bottom shows the following output:

```
All [Filter] Find... Find Next
Type ID Message
332102 Design is not fully constrained for setup requirements
332102 Design is not fully constrained for hold requirements
Quartus Prime TimeQuest Timing Analyzer was successful. 0 errors, 0 warnings
293000 Quartus Prime Full Compilation was successful. 0 errors, 96 warnings
System Processing (108) 100% 00:00:46
```

# Schematic Viewer в Intel FPGA Quartus Prime

Служит не для ввода / рисования схемы, а для просмотра результатов синтеза описания схемы на верилоге



# До ПЛИС: микросхемы малой степени интеграции

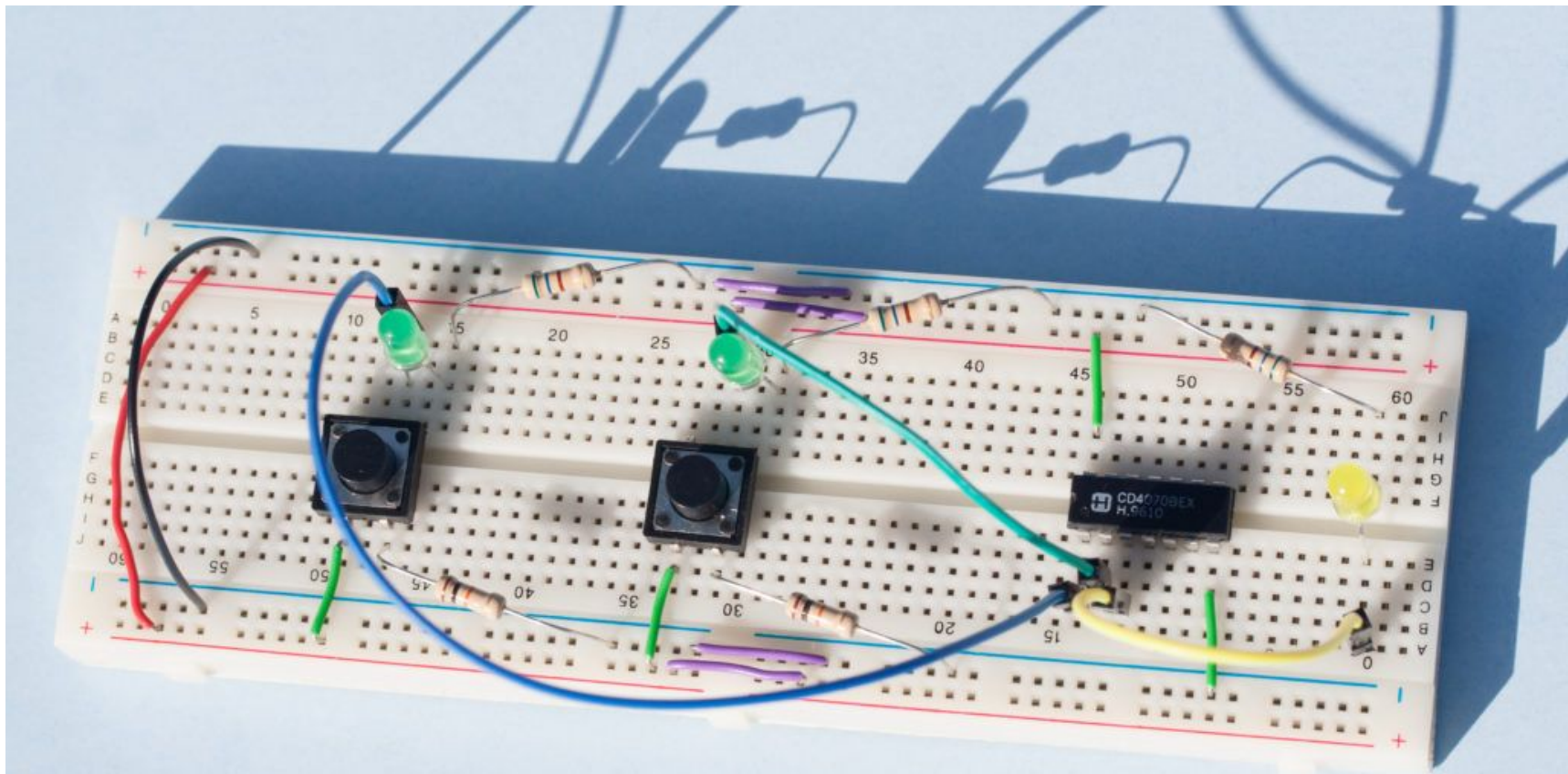
Перед упражнениями с ПЛИС полезно сделать упражнения с микросхемами малой степени интеграции (CMOS 4000)

Старый (выпускаются с 1970-х годов), но до сих пор самый наглядный способ показать логические элементы, работу D-триггера и простые счетчики

Школьники разбираются с этими схемами за 1-2 дня и после этого готовы к работе с ПЛИС и Verilog

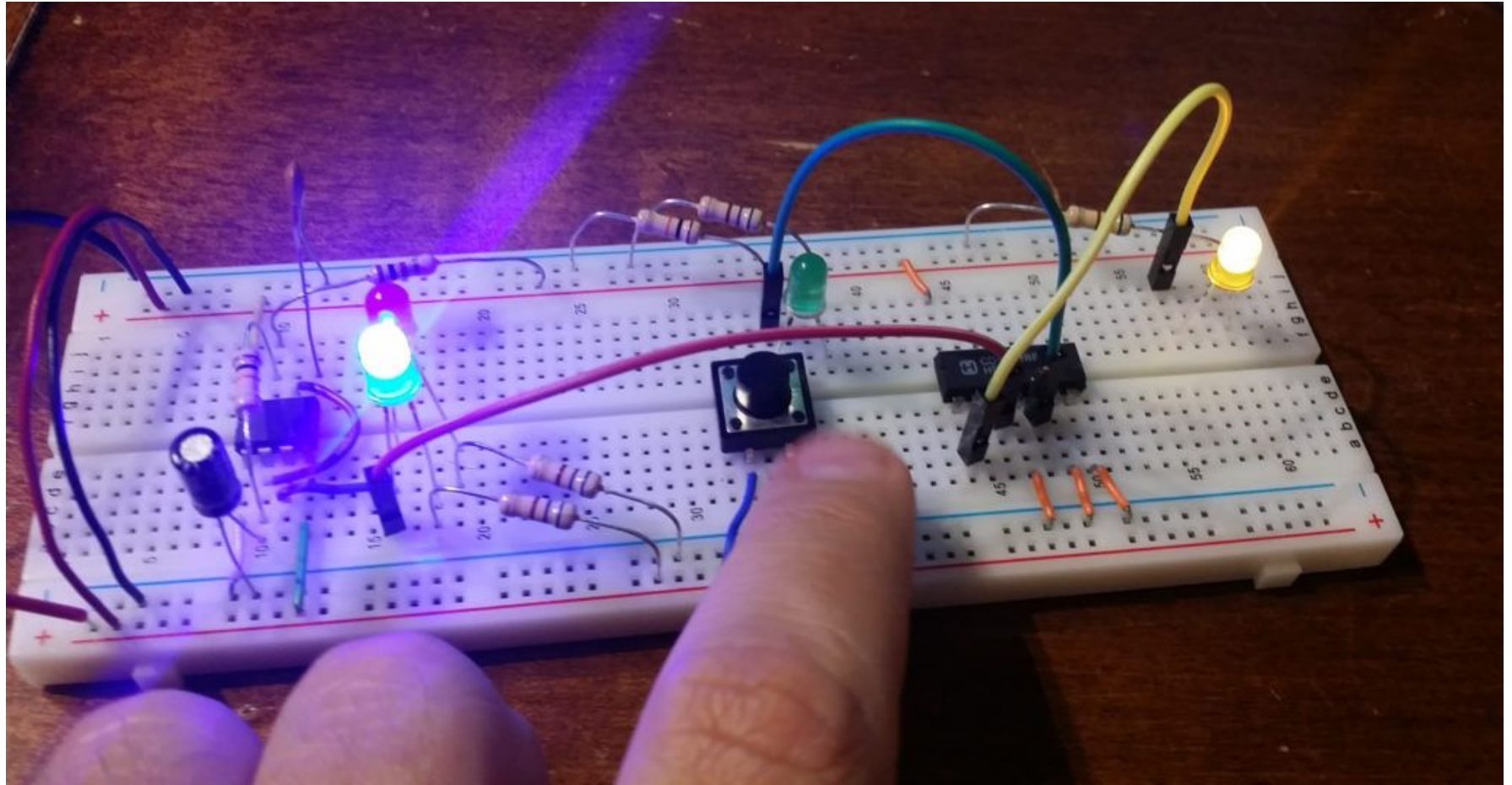


# До ПЛИС: пример с CMOS 4000: Исключающее ИЛИ

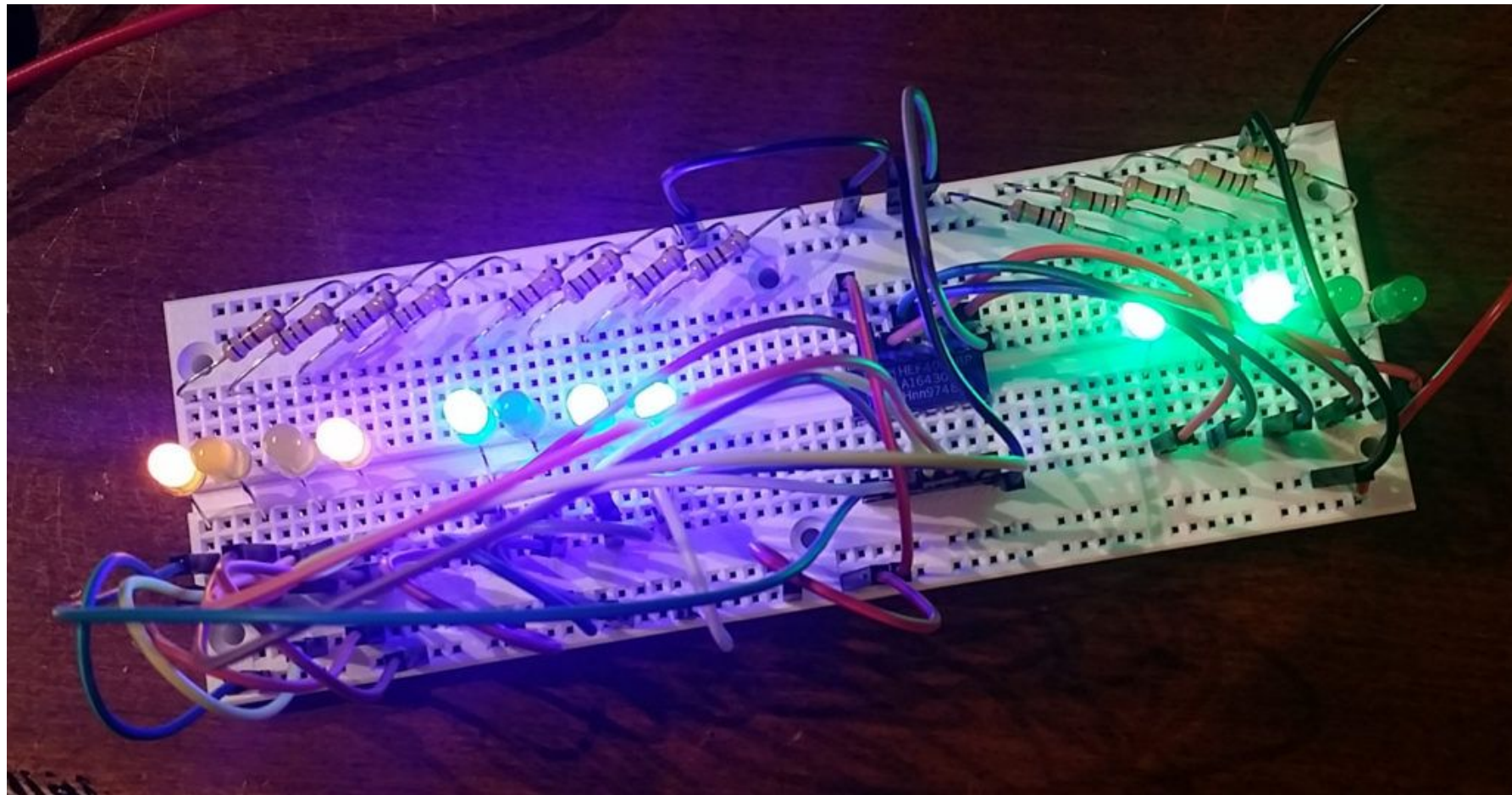




# До ПЛИС: пример с CMOS 4000: D-триггер

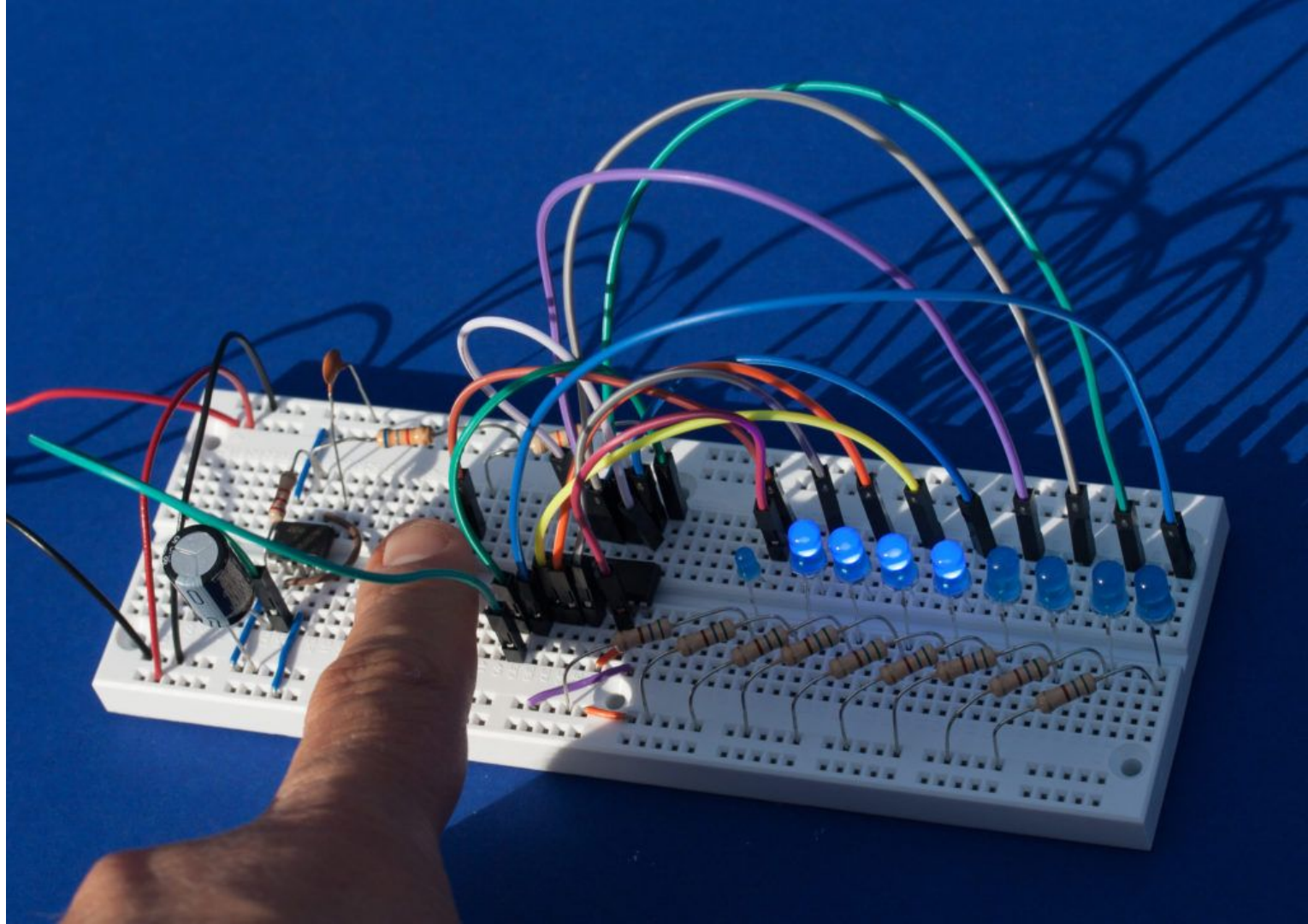


# До ПЛИС: пример с CMOS 4000: сумматор





До ПЛИС:  
пример с  
CMOS  
4000:  
сдвиговой  
регистр



# Семинары

# Семинар в Киеве



# Семинар в Киеве

Основные организаторы:

- Лаборатория Лампа Киевского Политехнического Института,  
<http://www.facebook.com/lampa.kpi>
- Студенческое пространство Белка,  
<http://www.facebook.com/belka.space.kpi>
- Киевско-Могилянская Академия  
<http://fin.ukma.edu.ua>
- Радиомаг  
<http://www.facebook.com/radiomagua>



# Семинар в Киеве - формат

- 2 дня на CMOS 4000, 2 дня на Verilog и ПЛИС, 1 день на встроенные микропроцессоры (LinkIt Smart 7688), 1 день на хакатон по ПЛИС и LinkIt
- Несколько команд разного размера (от одного до пяти)
- Каждый день - 3-5 часов с 16:00
- В первый день - лекция по физике транзистора и полупроводниковому производству от доцента КНУ Александра Барабанова
- Школьникам помогали студенты преподавателя КПИ Евгения Короткого

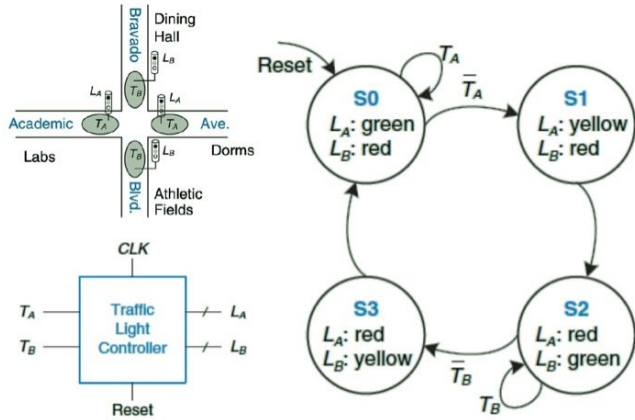


# Александр Барабанов и Евгений Короткий





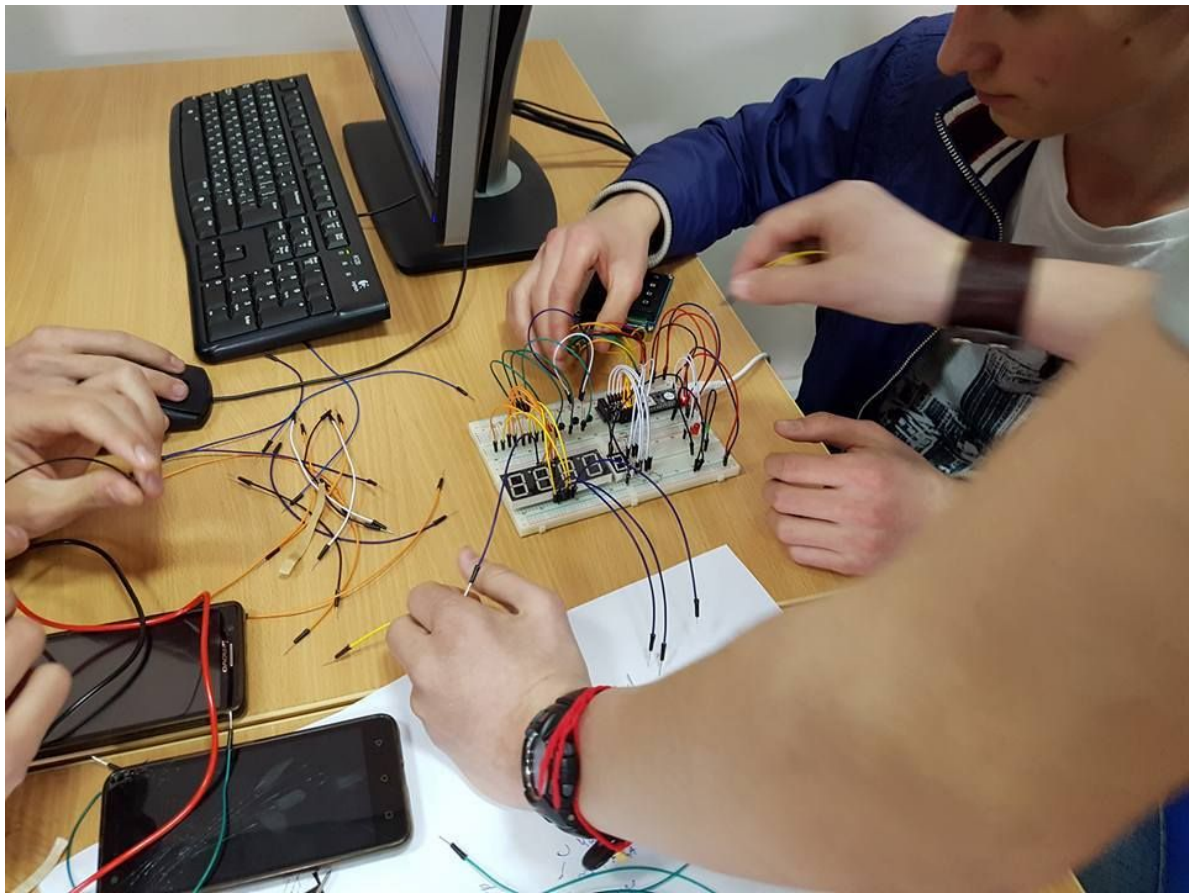
# Достижение: Девочка справа спроектировала конечный автомат светофора на ПЛИС



Finite State Machine (FSM) - это важная концепция и важное упражнение

# Достижение: кодовый замок на ПЛИС

Хороший пример использования последовательной логики и интерфейса к внешним устройствам: динамическому семисегментному индикатору и 16-кнопочной клавиатуре.



# Победители хакатона в Киеве



# Семинар в Киеве - выводы

- Микросхемы малой степени интеграции даются школьникам относительно легко. Также не вызывает особых трудностей комбинационная логика на верилоге и ПЛИС.
- Школьники смогли понять последовательностную логику на верилоге, но под самый конец недели, не полностью и с трудом.
- Длинную лекция про физику транзистора в начале стоило бы перенести на конец первого дня, а начать сразу с практических упражнений. Несколько школьников отсеялись.
- До конструирования процессоров на верилоге пройти за неделю по-видимому нереально.
- Семинары такого рода наверное не стоит смешивать с семинарам по программированию встроенных процессоров - это отдельная тема.



# Летняя Школа Юных Программистов в Новосибирске



# ЛШЮП - формат

- Летняя школа с длительной (41 год) традицией
- <http://school.iis.nsk.su>
- <http://www.facebook.com/lshup>
- Пара сотен тщательно отобранных детей
- Разбиты на дюжину групп по интересам
- У каждой группы один-два инструктора
- Занятия 12 дней с утра до вечера
- Помимо обычных занятий - приглашенные лекторы на научные и технические темы





# Открытие



# Организаторы





# Организация труда



# Одно из достижений: 9-классница улучшает CPU

Девятиклассница Дарья Криворучко:

- Освоила написанное на верилоге минимальное процессорное ядро schoolMIPS
- Выучила основы ассемблера и работу с симулятором на уровне инструкций MARS MIPS
- Добавила в процессор инструкцию умножения и протестировала результат

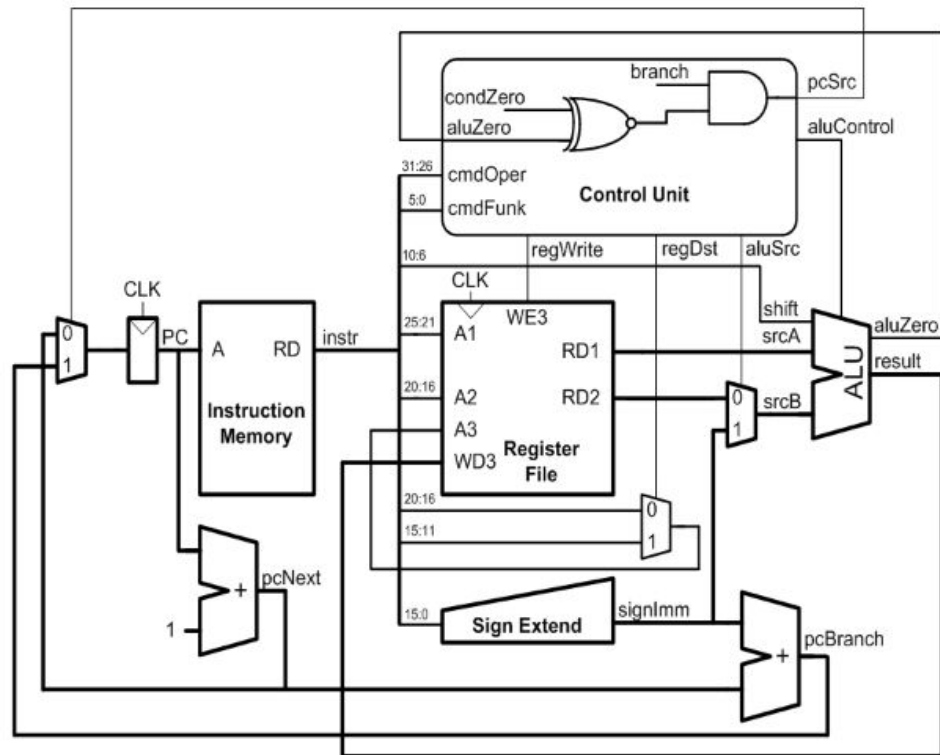




# Образовательное ядро schoolMIPS

- Минималистическое процессорное ядро пригодное для образования школьников
- Несколько сотен строк, при том что промышленные ядра в 100-1000 раз больше
- Написано Станиславом Жельнио и Александром Романовым из МИЭМ НИУ ВШЭ

<https://github.com/MIPSfpga/schoolMIPS>



# ЛШЮП - выводы - 1

- Тщательный отбор учеников и достаточное время позволяют раздвинуть границы возможного.
- Два пятиклассника смогли за две недели понять идею методологии RTL (Register Transfer Level) на Verilog и ПЛИС и сделать законченные проекты - световой будильник (датчик освещения + звуковой сигнал) и часы с часами, минутами и секундами.
- Восьмиклассники смогли дойти до точки скрещивания архитектуры (ассемблера) и микроархитектуры (процессора на верилоге), правда в последние часы школы.

## ЛШЮП - выводы - 2

- С пятиклассниками нужно для этого много сидеть и делать все совместно, восьмиклассники могут делать несколько больше самостоятельно.
- Обучение такого рода по трудоемкости напоминает индивидуальные уроки живописи или игре на музыкальных инструментах.
- До конвейерной обработки так и не дошли, это был бы интересный рубеж.
- Школьникам интересны проекты со звуком, например электронный орган

# Хакатон в Технопарке новосибирского Академгородка





# Организация хакатона в технопарке началась на ЛШЮП

Главным организатором хакатона в технопарке была Татьяна Колесникова

Критически важную помощь оказал Владимир Карпович Макуха и его студенты из Новосибирского НГТУ



# Технопарк новосибирского Академгородка - формат

10 команд из разных школ (4 ученика и 1 преподаватель в каждой)

1 день на микросхемы малой степени интеграции

1 день на Verilog и ПЛИС





# Технопарк новосибирского Академгородка - выводы

Разобрались с CMOS 4000  
менее чем за день, при  
нехватке времени этот  
материал можно опустить

За один день с Verilog можно  
разобраться только с примером  
комбинационной логики

Для последовательностной  
логики на Verilog нужен второй  
день или лучше  
подготовленные примеры



# Общие выводы - 1 - организационное

1. Все затронутые темы вызывают у школьников интерес.
2. Микросхемы малой степени интеграции можно пройти быстро; если на них задерживаться, школьникам надоеет.
3. Для работы с Verilog и ПЛИС желательна плотная работа каждого инструктора с небольшим числом школьников.
4. Для успеха семинаров и хакатонов критичной является кооперация с местными техническими университетами и участие студентов в качестве помощников школьников.



## Общие выводы - 2 - техническое

5. Использование “взрослых” пакетов типа Altera/Intel Quartus Prime Lite Edition или Xilinx Vivado не вызывает у школьников особых затруднений. Нет смысла разрабатывать упрощенные ардуинообразные среды разработки.
6. Очень полезной оказалась идея приносить на семинары загружаемые SSD-диски с Linux Ubuntu и установленными на них средствами разработки. Иначе много проблем с драйверами и производительностью, особенно под Windows.
7. В России может появиться рыночная ниша для недорогих образовательных плат с ПЛИС, спроектированных и произведенных в России, по примеру того, как это делается в Китае.

## Общие выводы - 3 - следующие шаги

8. Для следующих шагов необходимо разработать стабильный набор примеров, пошаговых инструкций и слайдов, с вариациями для разных платформ.
9. Упражнения на верилоге можно использовать для разнообразных олимпиад, например с задачами на разработку арифметических блоков.
10. schoolMIPS можно использовать как основу для целого дерева школьных проектов и даже попробовать экспортировать такую методику обучения в другие страны.

# Ресурсы

- Книга “Цифровая схемотехника и архитектура компьютера”, второе издание, Дэвид Харрис и Сара Харрис
- Слайды для лектора, который преподает на основе учебника Харрис & Харрис -  
[http://www.silicon-russia.com/public\\_materials/2016\\_09\\_01\\_harris\\_and\\_harris\\_slides/DDCA2e\\_LectureSlides\\_Ru\\_20160901.zip](http://www.silicon-russia.com/public_materials/2016_09_01_harris_and_harris_slides/DDCA2e_LectureSlides_Ru_20160901.zip)
- <http://silicon-russia.com>

Спасибо!